



Universidad
Carlos III de Madrid

Departamento de Tecnología Electrónica

PROYECTO FIN DE CARRERA

DESARROLLO E IMPLEMENTACIÓN DE UNA
REFERENCIA DE TENSIÓN ULTRAESTABLE Y
PROGRAMABLE PARA FILTROS ÓPTICOS
FABRY-PEROT SINTONIZABLES

Autora: Estefanía Prior Cano
Director: Ángel Rubén Criado Serrano
Tutor: Pablo Acedo Gallardo

Leganés, Septiembre de 2012

Título: Desarrollo e implementación de una referencia de tensión ultraestable y programable para filtros ópticos Fabry-Perot sintonizables

Autora: Estefanía Prior Cano

Director: Ángel Rubén Criado Serrano

Tutor: Pablo Acedo Gallardo

EL TRIBUNAL

Presidente: Marta Ruiz Llata

Vocal: Luis Enrique García Muñoz

Secretario: Cristina de Dios Fernández

Realizado el acto de defensa y lectura del Proyecto Fin de Carrera el día 1 de Octubre de 2012 en Leganés, en la Escuela Politécnica Superior de la Universidad Carlos III de Madrid, acuerda otorgarle la CALIFICACIÓN de

VOCAL

SECRETARIO

PRESIDENTE

Agradecimientos

A mis hermanos y padres. Ellos son, como no podría ser de otro modo, los primeros en esta lista porque todo lo que soy es por ellos, gracias a ellos y para ellos. Porque siempre me habéis apoyado, habéis confiado en mí. A mi padre, porque decidí seguir sus pasos y mira donde estoy ahora. A mi madre, porque es mi ejemplo a seguir. Al resto de mi familia, a mis abuelos, tíos y primos porque siempre me han animado y ayudado.

A Raúl, porque sin él tal vez no estaría hoy en este punto. Porque siempre confió en que yo podía y porque se desvivió por ayudarme y enseñarme. A Esteban, por sus palabras de aliento cuando lo necesito, por todo lo que me apoya y ayuda siempre, por comprender mi manera de hacer las cosas.

A mis amigos de la universidad por haber compartido tantas horas y tantas prácticas, pero también haber compartido comidas, viajes, ocio y risas. En especial a mis amigas Irene y M^a Ángeles y a los demás compañeros de prácticas durante estos años. A Carlos, por ser más que un amigo, casi un hermano, porque gracias a él sé que también en Madrid hay un hueco al final del día para estar con los amigos. A Álvaro por ser mi apoyo este último año. A mis amigas de Cuenca por aguantar mis “cosas de ingeniera” y por ayudarme a cambiar el chip de vez en cuando.

A Rubén por formar parte de mi proyecto, por darme la oportunidad de construir algo, de hacer un proyecto de verdad y por intentar que siempre aprenda lo máximo posible. A Pablo por ser “facilitador de conocimientos” en lugar de profesor, por enseñarme tantísimo durante estos meses no sólo de ingeniería si no de la vida misma. Me acordaré de ti cuando sea Ministra. A los demás compañeros del 1.1.108.

A todas las personas que, directa o indirectamente, han colaborado en mi aprendizaje, en mi formación y en el hecho de que yo, haya realizado este proyecto y esta carrera.

A todos vosotros,

Muraho!

No dejes que termine el día sin haber crecido un poco, sin haber sido feliz, sin haber aumentado tus sueños. No te dejes vencer por el desaliento. No permitas que nadie te quite el derecho a expresarte, que es casi un deber. No abandones las ansias de hacer de tu vida algo extraordinario. No dejes de creer que las palabras y las poesías sí pueden cambiar el mundo. Pase lo que pase nuestra esencia está intacta. Somos seres llenos de pasión. La vida es desierto y oasis. Nos derriba, nos lastima, nos enseña, nos convierte en protagonistas de nuestra propia historia. Aunque el viento sople en contra, la poderosa obra continúa: tú puedes aportar una estrofa. No dejes nunca de soñar, porque en sueños es libre el hombre...

Walt Whitman (1819-1892)

Resumen

Existen numerosos dispositivos cuya tensión de entrada debe tener altas prestaciones en resolución y estabilidad para poder ser ajustados con la suficiente precisión. Este es el caso de los filtros Fabry-Perot sintonizables FFP-TF2 9000 de Micron Optics entre otros. En este proyecto fin de carrera se ha creado una fuente de tensión que cumple las características necesarias para poder configurar óptimamente estos filtros.

Para ello, primeramente se ha estudiado y diseñado un circuito adecuado que posteriormente ha sido construido e implementado. Esta fuente tiene dos salidas independientes, cada una con resolución menor del milivoltio, en un rango de 20 voltios. Además, se ha realizado una interfaz gráfica usando LabVIEW para mayor facilidad en la interacción del usuario con la fuente.

Por lo tanto, a través del ordenador el usuario podrá indicar dos valores de voltaje que desea obtener y estos aparecerán en sendas salidas de la fuente construida.

Palabras clave: Conversor digital-analógico, regulador de tensión, referencia de tensión, LabVIEW, NI myDAQ, Serial Protocol Interface, Printed Circuit Board.

Abstract

Nowadays, there exist many devices that cannot be properly set with the power supply sources that people normally use, because these devices have some strict needs in the resolution and stability of the input voltage in order to be adjusted with accuracy. That is the case of the Widely Tunable Fiber Fabry-Perot Filter, FFP-TF2 9000 from Micron Optics. In this final project a voltage source has been created, meeting the requirements for being able to tune these filters with the optimum resolution and stability.

With this purpose, in a first step, an appropriate circuit has been designed and built. This voltage source has two independent outputs with a resolution lower than one millivolt in a range of 20 volts. Besides, a graphical user interface has been created using LabVIEW in order to make easier the use of this source.

In conclusion, the user can set in the personal computer two voltage values and some seconds after these values will appear in each of the outputs with enough quality to make the filters FFP-TF2 9000 work properly.

Keywords: Digital-to-analog converter, voltaje regulator, voltaje reference, LabVIEW, NI myDAQ, Serial Protocol Interface, Printed Circuit Board.

Índice general

CAPÍTULO 1. INTRODUCCIÓN: MOTIVACIÓN Y OBJETIVOS	1-1
1.1 Motivación.....	1-1
1.2 Especificaciones	1-7
1.3 Esquema de bloques	1-8
1.4 Estructura de la memoria	1-11
CAPÍTULO 2. REFERENCIA DE TENSIÓN ULTRAESTABLE DE ALTA RESOLUCIÓN. FUNDAMENTOS.....	2-13
2.1 Conversores digital-analógico.....	2-13
2.2 Referencias de tensión	2-21
2.3 Control digital e interfaz de usuario. Instrumentación virtual. LabVIEW	2-26
2.4 Otros componentes.....	2-30
CAPÍTULO 3. DISEÑO E IMPLEMENTACIÓN DE LA REFERENCIA DE TENSIÓN	3-37
3.1 Selección de componentes y de tecnología.....	3-37
3.2 Esquemático de la fuente de tensión	3-47
3.3 Layout de la fuente de tensión	3-52
3.4 PCB de la fuente de tensión.....	3-54
CAPÍTULO 4. CONTROL E INTEGRACIÓN DEL SISTEMA.....	4-55
4.1 Interfaz digital del AD5791	4-55
4.2 Implementación de la interfaz de usuario.....	4-63
CAPÍTULO 5. VERIFICACIÓN Y VALIDACIÓN DE LA REFERENCIA DE TENSIÓN	

DESARROLLADA	5-76
5.1 Verificación.....	5-76
5.2 Validación.....	5-78
CAPÍTULO 6. CONCLUSIONES Y TRABAJO FUTURO	6-85
6.1 Conclusiones.....	6-85
6.2 Trabajo Futuro	6-85
CAPÍTULO 7. ASPECTOS DE GESTIÓN DE PROYECTO	7-86
CAPÍTULO 8. ACRÓNIMOS.....	8-89
CAPÍTULO 9. REFERENCIAS.....	9-90

Índice de figuras

Figura 1. Esquema de un filtro Fabry-Perot	1-2
Figura 2. Respuesta del filtro.....	1-5
Figura 3. Filtros FFP-TF2 9000 de Micron Optics.....	1-6
Figura 4. Esquema de la fuente implementada	1-9
Figura 5. Interacción entre las distintas partes de la fuente implementada.....	1-11
Figura 6. Símbolo de un DAC [6]	2-14
Figura 7. Estructura de un DAC [6]	2-15
Figura 8. Simplificación de un DAC divisor de corriente con elementos unitarios [6]	2-16
Figura 9. Red R-2R [7].....	2-17
Figura 10. Circuito integrador sin retardo con capacidades conmutadas [6].....	2-17
Figura 11. Modificación de la figura anterior para conseguir un DAC[6]	2-18
Figura 12. Estructura simplificada del AD5791[8]	2-19
Figura 13. Curva V-I de un diodo zener [10].....	2-22
Figura 14. Ejemplos básicos de referencias de tensión basadas en diodos [9]	2-22
Figura 15. Variación de la curva de un diodo zener con la temperatura [4]	2-23
Figura 16. Ejemplo simple de una referencia de salto de banda	2-24
Figura 17. Referencia de salto de banda pensada para deriva de $0\text{mV}/^{\circ}\text{C}$ [11]	2-25
Figura 18. Ejemplo de <i>Block Diagram</i>	2-27
Figura 19. Ejemplo de <i>Front Panel</i>	2-28
Figura 20. Imagen y dimensiones del NI myDAQ	2-29
Figura 21. DAQ Assistant en LabVIEW	2-29

Figura 22. Imagen y configuración típica del LM317 [16].....	2-30
Figura 23. Esquema típico de un regulador lineal LDO[4]	2-32
Figura 24. Amplificador operacional ideal [4]	2-33
Figura 25. Amplificador seguidor de tensión	2-34
Figura 26. Amplificador inversor	2-35
Figura 27. Amplificador no inversor.....	2-35
Figura 28. Imagen del AD5791 y su diagrama de bloques[8].....	3-39
Figura 29. Características generales del AD5791 [8]	3-39
Figura 30. Características en la salida del AD5791	3-41
Figura 31. Posible diseño de una fuente con precisión 1ppm usando el AD5791[19].....	3-42
Figura 32. Esquema típico de la referencia LTC6655-5[12]	3-43
Figura 33. Esquema típico de los reguladores positivos y negativos.	3-45
Figura 34. Configuración del AD5791 en <i>Daisy Chain</i>	3-46
Figura 35. Bloques de la fuente de tensión implementada.	3-47
Figura 36. Bloque de regulación	3-48
Figura 37. Filtro paso bajo de la alimentación presente en todo el circuito.	3-49
Figura 38. Bloque de referencia.....	3-50
Figura 39. Bloque con los DAC.....	3-51
Figura 40. Layout de la PCB implementada.....	3-52
Figura 41. Capa superior de la PCB	3-53
Figura 42. Capa inferior de la PCB	3-53
Figura 43. Capas internas de la PCB (GND)	3-53
Figura 44. Contorno de los componentes (silkscreen)	3-53
Figura 45. Imagen de la tarjeta implementada	3-54
Figura 46. Pines de la interfaz serie del AD5791 [8]......	4-56
Figura 47. Cronograma de escritura en el AD5791.....	4-57
Figura 48. Cronograma de lectura en el AD5791	4-58
Figura 49. Cronograma en modo <i>Daisy-Chain</i> en el AD5791.....	4-59

Figura 50. Formato de la palabra de 24 bits del DAC	4-60
Figura 51. DAC Register.....	4-61
Figura 52. Control Register.....	4-62
Figura 53. Clearcode register	4-62
Figura 54. Software Control Register.....	4-62
Figura 55. Programa implementado en LabVIEW. Relación entre el <i>Block Diagram</i> y <i>Front Panel</i>	4-64
Figura 56. Entradas al programa	4-64
Figura 57. Salidas del programa	4-66
Figura 58. Otros indicadores del <i>Front Panel</i>	4-66
Figura 59. Relación entre el cronograma del AD5791 y el <i>Case Structure</i> realizado	4-67
Figura 60. Estado "Inicio"	4-68
Figura 61. Estado "SCLK1"	4-69
Figura 62. Estado "SCLK0"	4-71
Figura 63. Estado "Espera"	4-72
Figura 64. Estado "Fin"	4-73
Figura 66. Front panel del programa LabVIEW	4-75
Figura 65. Block diagram del programa LabVIEW	4-75
Figura 67. Voltajes a la salida de sendos DAC	5-77
Figura 68. Voltajes a la salida de sendos DAC	5-77
Figura 69. Espectro óptico para la fuente de Agilent.	5-79
Figura 70. Dependencia de la longitud de onda con la temperatura.....	5-80
Figura 71. Espectro óptico para la segunda fuente de Agilent.	5-81
Figura 72. Espectro óptico resultante usando el primer canal de la fuente implementada.	5-82
Figura 73. Espectro óptico resultante usando el segundo canal de la fuente implementada.	5-83
Figura 74. Diagrama de Gantt	7-87

Índice de tablas

Tabla 1. Parámetros relevantes del FFP-TF2 9000-6.3G3000-3.0 061	1-6
Tabla 2. DACs de Analog Devices y Texas Instruments.....	3-38
Tabla 3. Referencias de tensión de Linear Technologies	3-43
Tabla 4. Bit de lectura/escritura	4-60
Tabla 5. Bits de selección de registro.....	4-61
Tabla 6. Operaciones disponibles en el programa LabVIEW.....	4-65
Tabla 7. Serie de pruebas de verificación	5-77
Tabla 8. Variación de la longitud de onda con respecto al número de muestras.....	5-84
Tabla 9. Planificación del PFC	7-86

Capítulo 1. Introducción: motivación y objetivos

1.1 MOTIVACIÓN

Como su título indica, en este proyecto fin de carrera se ha implementado una referencia de tensión para filtros ópticos de tipo Fabry-Perot sintonizables que cumple unas características específicas en estabilidad y resolución, además de tener la capacidad de ser programada desde un ordenador usando una interfaz de usuario. Estas características surgen a raíz de la necesidad de tener mayor control sobre el voltaje para poder ajustar con mayor precisión los dispositivos *FFP-TF2 9000-6.3G3000-3.0 061 Fiber Fabry-Perot Tunable Filter* que, a su vez, son utilizados en aplicaciones de filtrado de alta sensibilidad para síntesis fotónica de señales en bandas milimétricas y terahercios.

1.1.1 Introducción a los filtros Fabry-Perot

En este apartado se describe el principio de funcionamiento de los filtros ópticos tipo Fabry-Perot. El lector interesado en profundizar en este tema es referido a [1] para un análisis más detallado.

Un filtro Fabry-Perot consiste en una cavidad con un cierto índice de refracción (n) cuyos extremos son dos espejos, paralelos entre sí, en los cuales la luz se refleja. Estos espejos no son completamente opacos sino que reflejan parte de la luz (r_1 y r_2 son los índices de reflexión de los espejos) y transmiten el resto (t_1 y t_2). Por lo tanto, la salida de este filtro consistiría en la interferencia de varias ondas, todas procedentes de la señal de entrada. Esto se muestra en la siguiente figura:

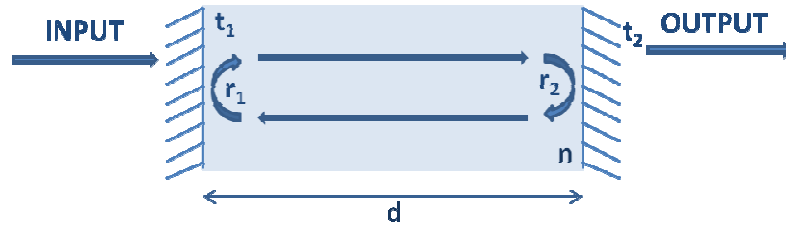


Figura 1. Esquema de un filtro Fabry-Perot

La luz, al pasar por el interior de esta cavidad, sufre una atenuación en amplitud debido a las pérdidas en los espejos y una variación de la fase debido a la propagación por la cavidad. Esta variación de fase está relacionada con la longitud de onda de la señal, por lo que hay ciertas longitudes de onda a las cuales la interferencia resultará constructiva, mientras que en el resto de casos no será así. Las longitudes de onda para las cuales ha tenido lugar esta interferencia constructiva pasarán a la salida, mientras que el resto de frecuencias resultarán atenuadas. Además, si conseguimos mover uno de estos espejos variando así la longitud de la cavidad, podremos modificar la longitud de onda que resulta reforzada y que se muestra a la salida. Esta es la base de los filtros sintonizables tipo Fabry-Perot.

La salida del filtro explicado anteriormente se puede determinar como la suma de infinitas ondas donde la relación entre sus amplitudes es geométrica y la variación de fase entre ellas es constante, como se muestra a continuación [1]:

$$\begin{aligned} U_1 &= \sqrt{I_0}; \\ U_2 &= hU_1; \\ U_n &= hU_{(n-1)} = h^{(n-1)}U_1; \end{aligned} \tag{1.1}$$

Siendo U_i la amplitud de la onda i -ésima y $h = |h|e^{j\varphi}$, de manera que la relación en amplitud entre dos ondas consecutivas será h y la variación de fase entre ellas será φ . Además, I_0 se corresponde con la intensidad de la onda incidente.

Por lo tanto, la amplitud de la onda resultante de la interferencia de estas ondas será:

$$U = \sqrt{I_0} (1 + h + h^2 + h^3 + \dots) = \frac{\sqrt{I_0}}{1-h} = \frac{\sqrt{I_0}}{1-|h|e^{j\varphi}} \tag{1.2}$$

Y la intensidad de esta onda resultante resultará:

$$\begin{aligned}
 I = |U|^2 &= \frac{I_0}{|1 - |h|e^{j\varphi}|^2} = \frac{I_0}{(1 - |h|\cos\varphi)^2 + |h|^2 \sin^2\varphi} = \\
 &= \frac{I_0}{(1 - |h|)^2 + 4|h|\sin^2\frac{\varphi}{2}} = \frac{\frac{I_0}{(1 - |h|)^2}}{\frac{(1 - |h|)^2}{(1 - |h|)^2} + \frac{4|h|\sin^2\frac{\varphi}{2}}{(1 - |h|)^2}} = \frac{I_{max}}{1 + \left(\frac{2F}{\pi}\right)^2 \sin^2\frac{\varphi}{2}}
 \end{aligned} \tag{1.3}$$

Siendo:

$$I_{max} = \frac{I_0}{(1 - |h|)^2} \quad F = \frac{\pi\sqrt{|h|}}{1 - |h|} \tag{1.4}$$

Además, en el caso del filtro Fabry-Perot, podemos determinar, a partir de la Figura 1, los valores de $|h|$ y φ . $|h|$ se corresponde con las pérdidas que tienen lugar cuando la onda atraviesa dos veces la cavidad, es decir $|h| = |r_1 r_2|$, mientras que φ será el desfase en esta misma distancia ($2d$), es decir:

$$\varphi = k \cdot 2d = \frac{2\pi}{\lambda} \cdot 2d = \frac{4\pi\nu d}{c} = \frac{2\pi\nu}{\frac{c}{2d}} \tag{1.5}$$

Por lo que la intensidad resultante quedará:

$$I = \frac{I_{max}}{1 + \left(\frac{2F}{\pi}\right)^2 \sin^2 \frac{\pi\nu}{\frac{c}{2d}}} = \frac{I_{max}}{1 + \left(\frac{2F}{\pi}\right)^2 \sin^2 \frac{\pi\nu}{\nu_{FSR}}} \tag{1.6}$$

I_{\max} será el máximo de corriente posible que tendrá lugar en los puntos en los que el seno se anula, es decir, cuando $\nu = \nu_{FSR}q$ siendo q un número entero. Por lo tanto, estos máximos en la salida del filtro se repetirán cada $\nu_{FSR} = \frac{c}{2d}$, donde ν_{FSR} es conocido como el FSR (*free spectral range*).

Además, F es un parámetro conocido como coeficiente de Finesse que, como podemos ver en la siguiente ecuación, crece con el producto de los coeficientes de reflexión de los espejos, indicando así la calidad de la cavidad.

$$F = \frac{\pi \sqrt{|r_1 r_2|}}{1 - |r_1 r_2|} \quad (1.7)$$

Además, la anchura de los pulsos a 3dB (parámetro conocido como FWHM, *full width at half maximum*) que resultan a la salida del filtro también está relacionada con el coeficiente de Finesse según lo siguiente:

$$I = \frac{I}{2} \quad \rightarrow \quad \Delta \nu = \frac{\nu_{FSR}}{2F} \quad \rightarrow \quad \delta_F = 2 \cdot \nu = \frac{\nu_{FSR}}{F} \quad (1.8)$$

De las ecuaciones anteriores podemos deducir que, cuando la Finesse es grande, la salida del filtro será una función muy abrupta y con picos muy estrechos.

Análogamente a las ecuaciones anteriores (1.5-1.8), podemos realizar el mismo procedimiento en términos de longitud de onda en lugar de frecuencia:

$$\lambda_{FSR} = \frac{\nu_{FSR}}{\lambda^2} c$$

$$\delta_\lambda = \frac{\frac{\nu_{FSR}}{\lambda^2} c}{F} \quad (1.9)$$

La respuesta del filtro, que hemos mostrado en la ecuación (1.6), se puede observar en la siguiente gráfica, donde podemos ver que la separación entre máximos depende de la distancia entre los espejos y el ancho a 3dB depende de esta distancia y de la Finesse:

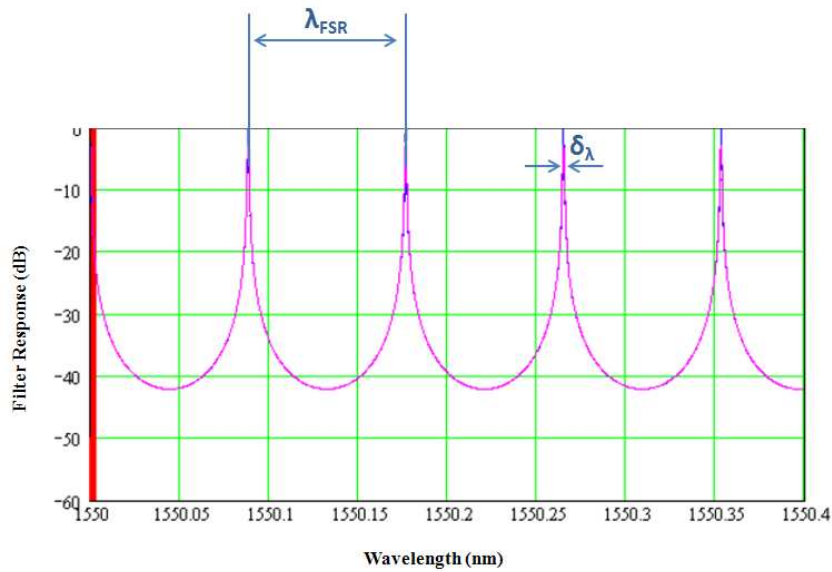


Figura 2. Respuesta del filtro

Ahora que ya sabemos el funcionamiento de los filtros ópticos tipo Fabry-Perot, es fácil entender que si movemos uno de los espejos variando la longitud de la cavidad, d , estaremos variando la longitud de onda a la que resuena la cavidad, λ_{FSR} , y por tanto las longitudes de onda a las que encontraremos los picos. Esto se consigue situando un material piezoeléctrico en uno de los espejos.

La piezoelectricidad es una propiedad que presentan algunos materiales, consistente en la aparición de un voltaje en un material asociado a una deformación mecánica de este. Este voltaje surge debido a que la polarización eléctrica en el material varía al aplicar un esfuerzo mecánico en este, como consecuencia de un desplazamiento de los átomos (que están ionizados) en el interior de este material. Además, este efecto es reversible de manera que un material piezoeléctrico varía el voltaje entre sus extremos al aplicar una deformación mecánica en él, e igualmente, se deforma mecánicamente al aplicar un voltaje en sus extremos.

Por lo tanto, situando un material piezoeléctrico en uno de los espejos conseguimos modificar la distancia de la cavidad aplicando un voltaje en los extremos de este piezoeléctrico. De este modo, obtenemos un filtro óptico sintonizable como el *FFP-TF2 9000-6.3G3000-3.0 061 Fiber Fabry-Perot Tunable Filter*.

1.1.2 FFP-TF2 9000-6.3G3000-3.0 061 Fiber Fabry-Perot Tunable Filter

Los filtros Fabry-Perot sintonizables *FFP-TF2 9000-6.3G3000-3.0 061* son utilizados para realizar filtrado para síntesis fotónica de terahercios debido a su alto coeficiente de Finesse (3000), su amplio rango de frecuencias (1280nm-1620nm) que se corresponde con un FSR de 340nm y su pequeño ancho de banda (50pm alrededor de 1550nm). Podemos ver en el datasheet del dispositivo (ver [2]) que el voltaje para sintonizar el filtro es de 18V por FSR (340nm). Además permite sintonizar en un periodo completo, de manera que podremos centrar el filtro en cualquier longitud de onda dentro del rango de frecuencias indicado anteriormente. Estos parámetros relevantes se recogen en la siguiente tabla:

Tabla 1. Parámetros relevantes del FFP-TF2 9000-6.3G3000-3.0 061

Finesse	Rango de frecuencias (nm)	FSR (nm)	BW(pm)	V_{FSR} (V)
3000	1280-1620	1620-1280 = 340	50pm @1550nm	18 V/FSR

Este filtro se muestra en la siguiente figura:



Figura 3. Filtros FFP-TF2 9000 de Micron Optics

Si hemos de variar 18V para mover la longitud central del filtro un FSR de 340nm, significa que la sensibilidad de este será de 52.94mV/nm. Partiendo de esta sensibilidad obtenemos, en el siguiente apartado, los requisitos del voltaje de referencia necesarios para ayudarnos de estos filtros a la hora de realizar el filtrado de síntesis fotónica de terahercios.

1.1.3 Requisitos de filtrado para síntesis óptica

Los requisitos de filtrado están fijados por la resolución en la sintonización de modos ópticos del experimento de filtrado. En este caso, se pretende igualar dicha resolución a 3GHz y,

para ello, la resolución en voltaje que debemos disponer a la entrada del filtro será la siguiente: 3GHz se corresponden con 0.024nm alrededor de 1550nm, que se corresponde con 1.27mV como se puede ver en las siguientes ecuaciones:

$$\Delta f = \frac{c}{(\lambda_c)^2} \Delta \lambda \quad (1.10)$$

$$\Delta V = 52.94 \frac{mV}{nm} \cdot \Delta \lambda = 52.94 \frac{mV}{nm} \cdot \frac{(1550)^2}{3 \cdot 10^8} \cdot 3GHz = 1.27mV \quad (1.11)$$

Por lo tanto, necesitamos un voltaje cuya precisión y resolución sean menores de 1.27mV para poder ajustar el filtro cada 3GHz. Siendo este el requisito fundamental, la referencia que será implementada ha de cumplir otra serie de especificaciones cuyo objetivo es facilitar el manejo de esta por parte del usuario. La captura completa de especificaciones se describe en el siguiente apartado.

1.2 ESPECIFICACIONES

Con referencia de tensión, fuente de tensión o salida en tensión nos referimos a un dispositivo que ofrece a su salida un valor de voltaje fijo y, además, en nuestro caso, programable. Los requisitos que la referencia debe cumplir y su justificación se enumeran a continuación:

- Gran resolución: La resolución es el mínimo incremento en la entrada que se refleja en la salida con una variación de ésta [3]. Para este proyecto se ha determinado que la señal de salida debe poder ajustarse en términos de milivoltios (mV), por lo que su resolución debe ser también de 1mV. Como ya hemos comentado en el apartado anterior, esto se debe a que queremos una resolución en frecuencia menor de 3GHz (0.024nm).
- Alta estabilidad: Además la salida en tensión ha de mantenerse constante con el paso del tiempo. Para este dispositivo sea determinado que la longitud de onda del filtro debe variar menos de 0.5nm/hora.
- Gran rechazo al rizado: Otro requisito importante de esta fuente de tensión es que el voltaje obtenido a la salida del dispositivo no tenga apenas rizado ni oscilaciones que se reflejarían en variaciones en longitud de onda y, por lo tanto, reduciría la

estabilidad. Para este proyecto se ha determinado que la señal de salida no debe oscilar más de 1milivoltio pico-pico (aproximadamente 0.024nm).

- Dos salidas independientes, es decir, dos valores de voltaje que se puedan ajustar independientemente para poder controlar dos filtros simultáneamente.
- Rango de salida de 20 Voltios (V) en cada una de las dos salidas mencionadas anteriormente. Este valor se determina a partir del parámetro V_{FSR} de los filtros ópticos *FFP-TF2 9000-6.3G3000-3.0*: el rango de voltaje necesario a la entrada de los filtros para variar la salida en todo el FSR es de 18V luego la salida a implementar debe tener un rango igual o superior a este.
- La referencia a implementar debe ser programable para poder seleccionar el voltaje de salida en el rango y con la resolución indicados anteriormente.
- Con carácter general, se optará por el uso de componentes de montaje superficial debido a su menor tamaño. Sin embargo, no se excluye la inclusión de componentes *through hole* (agujero pasante).

Ya a primera vista se puede observar que la mayor dificultad a la hora de implementar este dispositivo es la obtención de una salida altamente estable, precisa y con la resolución indicada. Muestra de ello es que muchas de las fuentes disponibles hoy en día en los laboratorios de prácticas de la universidad no cumplirían estos parámetros. Así, por ejemplo, una fuente Protek 3033B como la que se ha utilizado para este proyecto, tiene una estabilidad y una resolución de aproximadamente dos órdenes de magnitud superior a la que se pretende obtener con este dispositivo.

1.3 ESQUEMA DE BLOQUES

Como ya hemos comentado en el apartado anterior, vamos a implementar una referencia de tensión doble, variable, estable, programable y con gran resolución. Este dispositivo se puede esquematizar según la siguiente figura:

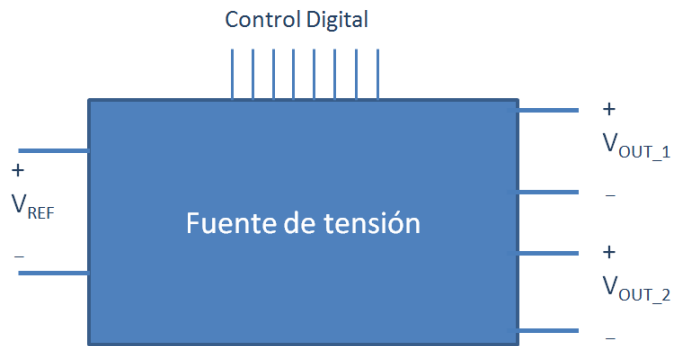


Figura 4. Esquema de la fuente implementada

Internamente, la fuente de tensión estará formada por una tarjeta PCB (*Printed Circuit Board*) en la cual habrá soldados numerosos componentes entre los que se encuentran convertidores analógico-digital, reguladores y amplificadores, los cuales nos ayudarán a conseguir el dispositivo que tenemos por objetivo.

Entre estos componentes, la referencia a implementar tendrá, a su vez, un voltaje que le sirve como referencia. Esta referencia es necesaria para proporcionar un voltaje de calidad a partir del cual generar los voltajes que obtendremos a la salida de la fuente. De este modo, los requisitos finales del dispositivo dependerán en gran medida de las características de ésta, de manera que, si la referencia no es suficientemente buena, la fuente de tensión tampoco lo será.

Además de implementar la fuente, se observa en la figura anterior que hay un control digital, gracias al cual el usuario tiene acceso a la fuente y puede seleccionar el voltaje que se desea en cada una de las salidas. Este control se realizará a través de una interfaz software que se explicará en capítulos posteriores.

Finalmente, vemos en la figura que hay dos salidas de voltaje que son las dos salidas en tensión que cumplirán los requisitos mencionados anteriormente.

1.3.1 Principales componentes

En esta referencia de tensión, hay una serie de elementos que consiguen que tenga la funcionalidad requerida. Estos se pueden resumir en los siguientes:

- Fuente de tensión programable, formada por dos convertidores digital-analógico.
- Referencia de tensión, que dota a los convertidores de la calidad necesaria.

- Control digital, usando una interfaz de usuario.
- Elementos auxiliares, entre los que se encuentran amplificadores operacionales, reguladores de tensión, etc.

El núcleo de nuestra fuente de tensión consistirá en una pareja de conversores digital-analógico (DAC). Estos dos DAC son la parte principal de la fuente y el resto de componentes no serán sino accesorios necesarios para el adecuado funcionamiento de estos y/o la mejora de sus prestaciones.

Otra de las piezas fundamentales en nuestra implementación, como ya hemos comentado anteriormente, será la referencia de tensión utilizada. Podemos ir avanzando que un conversor digital analógico necesita un voltaje de referencia para poder funcionar y, además, la calidad de la salida del DAC dependerá de esta referencia. Por lo tanto, seleccionar una mala referencia puede menguar las prestaciones de un buen DAC mientras que una buena referencia es necesaria para conseguir que la salida del DAC tenga calidad óptima.

Es importante también la realización de un control del sistema (digital dado que debe configurar los DAC) y una integración del sistema. Para ello se implementará una interfaz de usuario utilizando con LabVIEW.

Por último, estos elementos precisan de otras piezas auxiliares pero igualmente necesarias para alcanzar los objetivos fijados. La tarjeta PCB que será construida necesita otros componentes auxiliares a los DAC y la referencia, como son los amplificadores operacionales, reguladores de tensión, resistencias y condensadores. Igualmente, la interfaz digital que se realizará en LabVIEW necesita una conexión hasta la placa PCB. Para esta comunicación se utilizará un dispositivo de adquisición de datos, también de National Instruments, que es fácilmente controlado con LabVIEW. Este dispositivo se llama NI myDAQ.

En la siguiente figura se puede observar un esquema del resultado de esta fuente y cómo las distintas partes interactúan entre ellas. Abajo nos encontramos con la PCB creada que contiene los DAC la referencia y el resto de componentes necesarios. Esta placa irá alimentada con una fuente Protek 3033B. Por otro lado, la parte digital llega hasta la placa a través del NI myDAQ que, como se observa en la figura interactúa con el ordenador en el que se ha implementado un programa en LabVIEW.

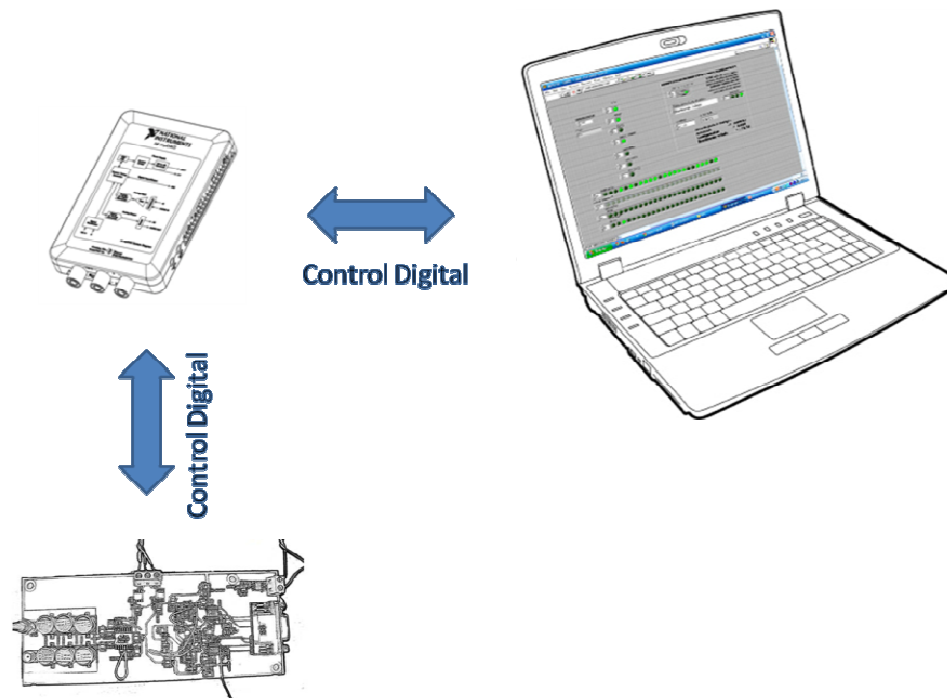


Figura 5. Interacción entre las distintas partes de la fuente implementada

Todos estos componentes se describirán a lo largo de este documento, indicando el motivo de su uso y el procedimiento necesario para concluir en una fuente de tensión. Igualmente se explicará en detalle el conjunto de conexiones existentes entre las distintas partes. De este modo, conseguiremos tener al final de este documento una idea clara y concreta de cómo se ha desarrollado el dispositivo implementado.

1.4 ESTRUCTURA DE LA MEMORIA

La estructura de la memoria para mayor facilidad de comprensión sigue el proceso realizado para el diseño, fabricación, verificación y validación del sistema.

El presente Capítulo 1, pretende realizar una introducción al trabajo realizado enmarcándolo dentro del ámbito del proyecto de investigación que justifica este desarrollo, mientras que en el Capítulo 2 se realiza una introducción a los componentes utilizados, cuyo funcionamiento y motivo de uso son de imprescindible entendimiento para asimilar el por qué de las decisiones tomadas durante la implementación y conocer los elementos y herramientas utilizadas a lo largo de este proyecto.

Una vez ha quedado patente el objetivo del proyecto y las herramientas utilizadas pasaremos a detallar el grueso del proyecto realizado, que se puede dividir en dos grandes partes ambas igual de imprescindibles: la primera de ellas, el Capítulo 3, consiste en la descripción del proceso llevado a cabo para implementar la fuente de tensión, desde la selección de componentes hasta la fabricación de la placa pasando por el diseño del esquemático usando OrCad. Posteriormente, en el Capítulo 4 se detallará la parte de control e integración del sistema. Esto incluye el manejo de la interfaz serie que comunica el circuito con el resto de elementos y la realización de la interfaz de usuario para facilitar el uso de la fuente.

A continuación, en el Capítulo 5 se realizará un proceso de verificación y validación para poder comprobar que el dispositivo cumple con los objetivos, es decir, que la fuente resulta de utilidad a la hora de estabilizar los filtros Fabry-Perot. Finalmente, se mostrarán unas pequeñas conclusiones y trabajo futuro en el Capítulo 6.

Cerraremos el documento con el Capítulo 7, que describe los aspectos de gestión (*management*) asociados a todo proyecto de ingeniería como son el diagrama de Gantt y el presupuesto de este proyecto.

Capítulo 2. Referencia de tensión ultraestable de alta resolución. Fundamentos.

En este capítulo presentaremos los elementos que han sido utilizados a la hora de realizar la referencia de tensión. Como ya indicamos en el capítulo anterior la referencia implementada se basa en el uso de una pareja de conversores analógico-digital. A la hora de diseñar el circuito que iba a ser implementado también se estudiaron otras posibilidades como el uso de referencias de tensión o reguladores de tensión pero estos, por sí solos, no eran capaces de obtener las prestaciones que tenemos por objetivo. Por lo tanto, el motivo del uso de estos conversores radica en que, hoy en día, existen DACs con suficiente resolución como para llegar a nuestro requisito de 1mV.

Los principales componentes que forman esta referencia son los siguientes:

- Conversores analógico-digital
- Referencias de tensión
- LabVIEW y NI myDAQ
- Otros:
 - Amplificadores operacionales
 - Reguladores de tensión

2.1 CONVERTORES DIGITAL-ANALÓGICO

En este apartado se describe someramente el componente denominado conversor digital-analógico o DAC. El lector interesado en profundizar puede ver [4] y [5].

Los conversores digital-analógico (*Digital to Analog Converter* o DAC en inglés) han causado una enorme revolución en el mundo de la electrónica digital y, en especial en el de las comunicaciones [4]. Los DAC forman parte de dispositivos de nuestro uso diario como teléfonos móviles, mp3 y ordenadores entre otros. Sin embargo, las comunicaciones no es el único ámbito en el que los conversores son necesarios.

En electrónica, a menudo es necesaria la conversión de la información a distintos formatos o niveles. Un caso de ello sería el paso de información analógica a digital, o viceversa, de digital a analógica. Un conversor digital-analógico es un dispositivo cuya salida es una señal analógica que varía de manera proporcional a un código de entrada formado por una serie de bits. Para ello el DAC se apoya en el llamado voltaje de referencia, V_{REF} . El voltaje a la salida del DAC viene determinado por:

$$V_{OUT} = V_{REF} \left(\frac{b_0}{2^0} + \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_{N-1}}{2^{N-1}} \right) \in (0, V_{REF}(1 - \frac{1}{2^N})) \quad (2.1)$$

Podemos ver que la salida varía con incrementos constantes de $V_{REF}/2^N$. Este intervalo de voltaje entre dos códigos consecutivos se llama V_{LSB} o directamente, *LSB (least significant bit)*. El símbolo del DAC más común es el siguiente:



Figura 6. Símbolo de un DAC [6]

Todos los conversores digital-analógico tienen la siguiente estructura: primeramente hay un bloque con un decodificador que traduce del código binario a los elementos necesarios en la matriz de interruptores, una red de fraccionamiento del elemento de referencia y por último, una matriz de interruptores que ayudándose de las salidas de los bloques anteriores obtiene a su salida el voltaje deseado [4]. Esto se muestra en la siguiente figura:

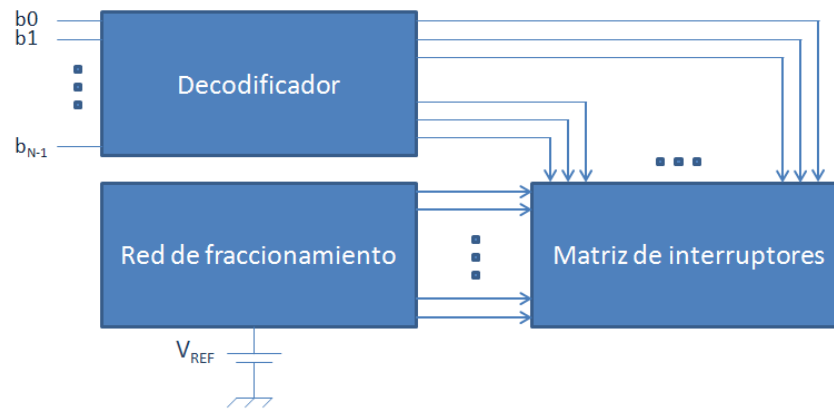


Figura 7. Estructura de un DAC [6]

Por lo tanto, un DAC es útil en nuestra aplicación dado que seleccionando el código de bits a su entrada fijamos un valor analógico a la salida de este y además, si tiene suficientes bits, el LSB será tan pequeño que nos permitirá saltos entre códigos consecutivos menores de 1mV, cumpliendo así nuestro requisito en resolución.

2.1.1 Tipos de conversores digital-analógico

Los conversores digital-analógico pueden basarse en numerosas arquitecturas diferentes para realizar esta decodificación y esta red de fraccionamiento para obtener el valor analógico a la salida. Las arquitecturas de DAC se dividen según dos parámetros: los elementos o pesos que hacen conmutar los interruptores y la referencia que se divide en la red de fraccionamiento. Así,

- Número de elementos de conmutación:
 - Elementos unitarios: un interruptor por cada posible código o similar (alrededor de 2^N interruptores)
 - Pesos binarios: un interruptor por cada bit del código (N interruptores)
- Referencia que se fracciona:
 - Corriente.
 - Carga.

Cada uno de estos tipos tiene una serie de ventajas y de inconvenientes. Así por ejemplo, los convertidores de corriente son más rápidos pero también consumen mucho lo que los hace óptimos cuando se necesita alta velocidad. Por el contrario, los conversores que fraccionan carga son lentos pero tienen bajo consumo. Por otro lado, los conversores de pesos binarios no son monotónicos pero son más simples que los conversores de elementos unitarios. Entre todos estos, destacan ciertos tipos de DAC que explicaremos en los siguientes apartados.

DAC que divide corriente con elementos unitarios

Esta arquitectura se basa en múltiples espejos de corriente, para obtener 2^N ramas con la misma corriente, I_{ref} . Cada una de estas ramas irá conectada a un interruptor (U_i en la figura), y estos se conectarán y desconectarán en función del código digital haciendo que I_{out} sea proporcional a este código. Por último, esta corriente pasará por un amplificador de transimpedancia para obtener el voltaje deseado a la salida. Los DAC de este tipo son muy rápidos [4]. Una versión simplificada de ellos se muestra en la siguiente figura:

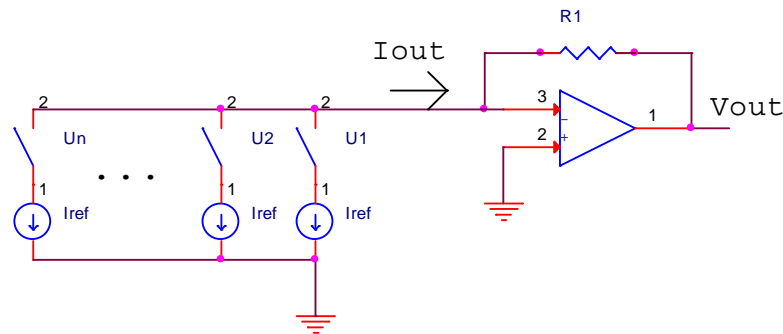


Figura 8. Simplificación de un DAC divisor de corriente con elementos unitarios [6]

Este tipo de DAC se puede convertir en un DAC divisor de corriente con pesos binarios si los interruptores se corresponden cada uno con un bit y las corrientes de cada rama en lugar de ser todas iguales se ponderan con el peso de cada bit.

Redes R-2R y DAC que divide corriente con pesos binarios

A pesar de que una modificación del anterior también puede ser un DAC que divide corriente con pesos binarios, existe otro tipo de DAC más común que también lo es. Estos DAC se basan en las llamadas redes R-2R propuestas por B. D. Smith en 1953. En la siguiente figura

se muestra una red R-2R típica. Analizando la estructura podemos ver que la corriente que pasa por cada una de las ramas son proporcionales entre sí y la impedancia vista desde la salida es siempre R. De este modo se consiguen corrientes proporcionales a una inicial y cada una de ellas estará controlada por uno de los bits del código. Este tipo de DAC es muy rápido y fácil de implementar aunque consume mucho y no es inherentemente monotónico.

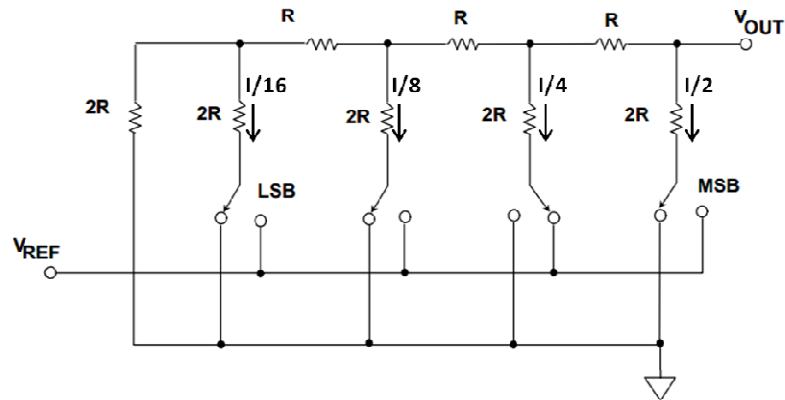


Figura 9. Red R-2R [7]

DAC que conmuta cargas con elementos unitarios

Otra posible arquitectura de un conversor digital-analógico es la basada en circuitos de capacidades conmutadas. Un circuito integrador con capacidades conmutadas es, por ejemplo, el siguiente:

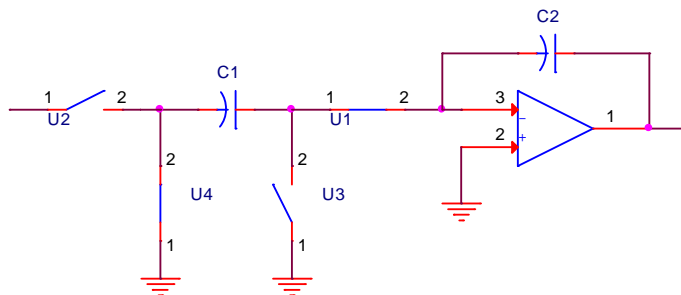


Figura 10. Circuito integrador sin retardo con capacidades conmutadas [6]

La función de transferencia de este circuito es la siguiente:

$$\frac{V_o(z)}{V_{in}(z)} = \frac{z^{-1}}{1-z^{-1}} \frac{C1}{C2} \quad (2.2)$$

De manera que la ganancia del circuito es proporcional a la relación entre los condensadores. Por lo tanto, variando C1 en función del código de entrada al DAC conseguiríamos una salida proporcional a este. Esto se podría hacer, por ejemplo, sustituyendo C1 por una serie de condensadores iguales con interruptores en serie, de manera que resultaría el siguiente circuito:

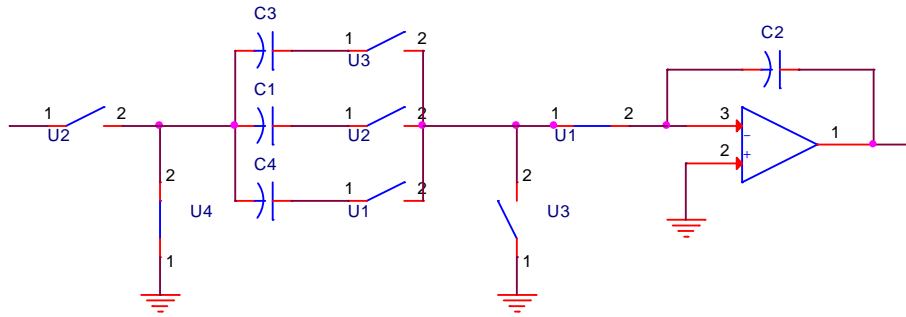


Figura 11. Modificación de la figura anterior para conseguir un DAC[6]

De este modo, la salida variaría en función del número de interruptores cerrados que hubiese, dando lugar a un DAC. En el caso de la figura anterior sería un DAC de dos bits y habría un decodificador que en función de dicho código activaría los interruptores U1, U2 y U3. Suponiendo, por ejemplo, $C1 = C3 = C4$ y $C2 = 4C1$, se obtendría el siguiente voltaje a la salida:

$$V_o = - \frac{C1(U1+U2+U3)}{C2} V_{in} = - \frac{(U1+U2+U3)}{4} V_{in} = \begin{cases} 0 \\ V_{in} / 4 \\ 2V_{in} / 4 \\ 3V_{in} / 4 \end{cases} \quad (2.3)$$

Los DAC con capacidades conmutadas son lentos porque los condensadores deben cargarse y descargarse cada ciclo. Sin embargo son circuitos que consumen muy poco.

Combinación de los anteriores

También existen otros DAC que combinan varios tipos de los explicados anteriormente. Es el caso del circuito integrado AD5791 de Analog Devices, que contiene en su interior un DAC formado por dos secciones con sendas redes de resistencias, una de ellas controlada con pesos binarios mientras que la otra red de resistencias lo hace con elementos unitarios. La estructura de este DAC se muestra en la siguiente imagen:

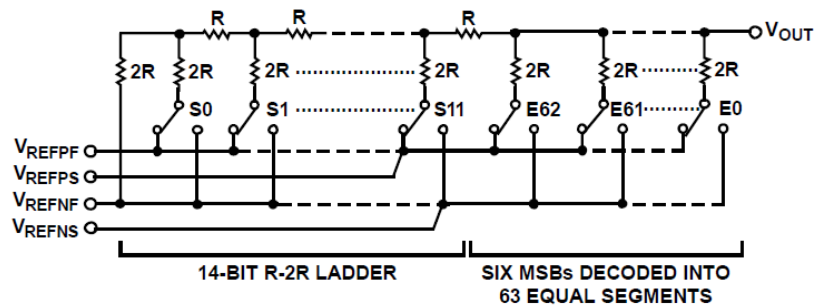


Figura 12. Estructura simplificada del AD5791[8]

En el datasheet de este dispositivo [8], el fabricante indica como, con los seis bits más significativos de este DAC de 20 bits, se controlan 63 interruptores (red controlada con elementos unitarios) mientras que los 14 bits restantes formarían la típica red R-2R explicada en el apartado 0. De este modo se obtiene un DAC de 20 bits formado por tipos de arquitecturas diferentes.

El motivo de destacar este circuito integrado es que será el conversor digital-analógico usado en la fuente de tensión creada en este proyecto. Más adelante se enumerarán las características que han hecho que este dispositivo sea el elegido.

2.1.2 Figuras de mérito

Un DAC, como es lógico, no es ideal y no funciona exactamente como se ha enseñado anteriormente, sino que presenta ciertos errores sistemáticos. Los principales parámetros de un DAC relevantes en nuestra aplicación y algunos de los errores sistemáticos que estos componentes presentan se describen a continuación [6]:

- Resolución: Número de niveles a la salida del DAC. Se corresponde con 2^N , siendo N el número de bits del conversor como vimos al inicio del apartado 2.1.
- Error de Offset: Es un error que se corresponde con un voltaje no deseado (distinto de cero) presente a la salida cuando el código de bits a la entrada es todo ceros (0...0).
- Error de ganancia: Este error se debe a que la ganancia real del conversor difiere de la esperada. Se calcula como la diferencia entre la pendiente real y la ideal en el último código (1...1) una vez corregido el offset.
- Precisión: Es la máxima desviación existente entre cualquier par de puntos correspondientes al mismo código para la gráfica real y la ideal del DAC.
- INL (Integral nonlinearity): Desviación de cada valor a la salida con respecto al valor ideal que correspondería a ese código. Se puede obtener por cada punto o tomar el mayor de todos los obtenidos. Además se suele normalizar a LSB (voltaje entre dos códigos consecutivos).
- DNL (Differential nonlinearity): Desviación del incremento a la salida entre cada par de códigos consecutivos con respecto al valor ideal de este incremento. Normalmente se toma el mayor de todos los DNL. Además se suele normalizar a LSB igual que la INL.
- Monotonicidad: Un DAC no es monótono si existe al menos un valor a la salida que es menor que el valor correspondiente al código inmediatamente anterior. Por lo tanto, un DAC es monótono si todos los valores a la salida son mayores que el valor anterior.

Teniendo estos parámetros en cuenta hemos podido discernir entre los conversores existentes en el mercado para seleccionar el AD5791 como núcleo de la salida en tensión que vamos a implementar, como se explicará en capítulos posteriores de este mismo documento.

2.2 REFERENCIAS DE TENSIÓN

Otro de los elementos críticos en este dispositivo es la referencia de tensión a su entrada dado que de su calidad dependerá la calidad del dispositivo completo. Como hemos visto en la Figura 7, una parte fundamental de todo DAC es una red de fraccionamiento que divide un voltaje de referencia en las partes necesarias para conseguir la serie de voltajes que el DAC podrá mostrar a su salida. Por lo tanto, dado que este voltaje se situará directamente en la salida del conversor, es lógico pensar que las imperfecciones de esta referencia aparecerán directamente en la salida del DAC y, a su vez, en la salida de tensión que vamos a implementar.

Este es el motivo por el cual es imprescindible que el voltaje de referencia se seleccione cuidadosamente evitando que el circuito de nuestra fuente, a pesar de estar correctamente diseñado, no cumpliera los requisitos a causa de una mala selección de componentes. Como su propio nombre indica, el mejor componente para ser usado como voltaje de referencia, será una referencia de tensión, cuyos fundamentos teóricos se explican en este apartado.

Una referencia de tensión es un circuito integrado que presenta a su salida un voltaje fijo. De este modo, la salida de la referencia será una señal continua y constante. Dada esta definición se podría pensar que es lo mismo que un regulador de tensión pero no es así: la principal diferencia es que las referencias de tensión no están hechas para regular sino para servir de referencia debido a que la corriente que entregan es muy pequeña y, por lo tanto, no sirven para alimentar componentes situados posteriormente. Las referencias de tensión ofrecen una tensión de mayor calidad que los reguladores a cambio de entregar corrientes inferiores a su salida. Para mayor información acerca de las referencias de tensión ver [9].

2.2.1 Tipos de referencias de tensión

Las referencias de tensión se dividen en dos grandes grupos: las que se basan en el uso de diodos o diodos zener y los que se basan en el salto de banda (*bandgap references* en inglés). Ambos tipos se analizan brevemente a continuación.

Referencias de tensión basadas en diodos

Los diodos son dispositivos que al polarizarlos presentan una curva V-I bastante abrupta. Esta es la clave a la hora de utilizarlos para obtener un voltaje fijo: Si la corriente que atraviesa el diodo es suficiente como para polarizarlo, este presenta entre sus dos terminales un voltaje que apenas varía con cambios en esta corriente de polarización. Además, en el caso de un diodo zener, puede funcionar tanto en directa como en inversa, es

decir, presenta un voltaje fijo tanto si superas cierta tensión umbral positiva como negativa. Este comportamiento descrito se puede observar en la siguiente curva V-I genérica de un diodo zener:

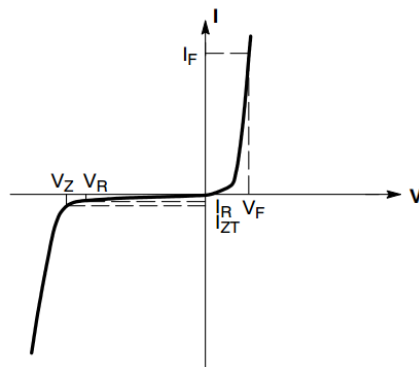


Figura 13. Curva V-I de un diodo zener [10]

Las referencias basadas en diodos utilizan esta característica para obtener el voltaje de referencia. En el caso de diodos normales, se polarizarán en directa obteniendo un voltaje que varía ligeramente en función de la corriente de entrada si esta es superior a la corriente de polarización. El funcionamiento de una referencia mejora si en lugar de un diodo normal usamos un diodo zener polarizado inversamente. Esto se puede observar en la parte izquierda de la figura anterior dado que la curva es más abrupta en este caso. Dos ejemplos simples de referencias de este tipo son los siguientes:

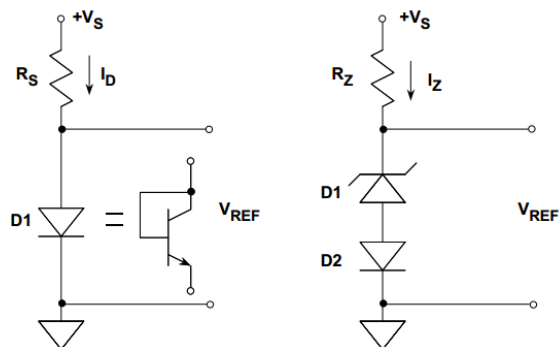


Figura 14. Ejemplos básicos de referencias de tensión basadas en diodos [9]

La ecuación característica del diodo es la siguiente:

$$I_d = I_{ss} (e^{\frac{V_d \cdot q}{n \cdot k \cdot T}} - 1) \quad (2.4)$$

Donde I_d y V_d son respectivamente la corriente y el voltaje en el diodo, I_{ss} la corriente de saturación de este, n es una constante que depende del proceso de fabricación del diodo (entre 1 y 2 típicamente), K es la constante de Boltzmann, q la carga del electrón y T la temperatura en grados Kelvin. En esta ecuación, podemos observar que la dependencia del diodo con la temperatura es exponencial, de manera que la curva característica del diodo zener mostrada en la Figura 13 se desplazará al variar la temperatura del dispositivo. Un ejemplo de esto se muestra en la siguiente figura:

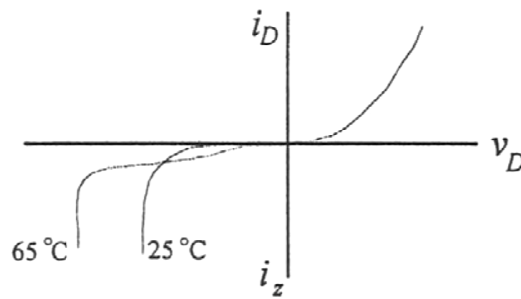


Figura 15. Variación de la curva de un diodo zener con la temperatura [4]

Sin embargo, es importante tener en cuenta que, mientras que el diodo zener presenta un coeficiente de temperatura positivo, un diodo funcionando en directa presenta un coeficiente de temperatura negativo. De este modo, podemos situar dos diodos, uno polarizado en directa y otro en inversa, de manera que los coeficientes de temperatura se anulen. Un ejemplo de esto sería el mostrado en la parte derecha de la Figura 14, donde podemos ver que hay dos diodos en serie, uno polarizado en directa y otro en inversa, cuyos coeficientes de temperatura pueden ser compensados mejorando así la dependencia en temperatura de este tipo de referencias de tensión.

Referencias de tensión de salto de banda (*bandgap voltage references*)

Otro tipo de referencias de tensión son las basadas en salto de banda. La clave de su funcionamiento es el voltaje V_{BE} de los transistores, típicamente bipolares. En la siguiente imagen se muestra un ejemplo de estas referencias. Podemos ver que la salida del circuito está relacionada con la diferencia de voltaje en los colectores de ambos transistores, es decir ΔV_{BE} .

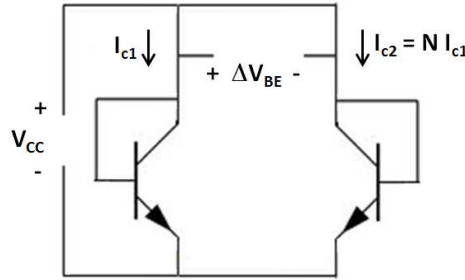


Figura 16. Ejemplo simple de una referencia de salto de banda

La ecuación característica del un transistor es la siguiente:

$$I_C = I_S \cdot e^{\frac{q \cdot V_{BE}}{k \cdot T}} \quad (2.5)$$

Si estos dos transistores son exactamente iguales, I_S se cancela y el voltaje a la salida se puede definir como:

$$\Delta V_{BE} = V_t \ln\left(\frac{I_{C1}}{I_{S1}} \cdot \frac{I_{S2}}{I_{C2}}\right) = V_t \ln\left(\frac{I_{C1}}{I_{C2}}\right) = V_t \ln\left(\frac{1}{N}\right), V_t = \frac{kT}{q} \quad (2.6)$$

Los voltajes a la salida de las referencias de tensión basadas en salto de banda son muy pequeños como se puede deducir de las ecuaciones anteriores. Por ello, las referencias de este tipo suelen utilizar amplificadores para obtener mayores valores en su salida. Esta amplificación puede empeorar las prestaciones del circuito dado que las no idealidades en los amplificadores influyen directamente en la salida.

Al igual que sucedía con los diodos en el apartado anterior, la corriente de colector de los transistores también presentan una relación exponencial con la temperatura. Como vemos en la ecuación (2.6), el voltaje ΔV_{BE} resulta ser proporcional a la temperatura de manera que puede utilizarse para obtener una corriente que crece linealmente con la temperatura. Si se sitúa una resistencia en serie, se puede conseguir que el coeficiente en temperatura de la resistencia se cancele con la variación de la corriente con la temperatura, obteniendo un circuito con una deriva en temperatura muy pequeña, teóricamente nula [11]. La referencia de Linear Technology de la siguiente figura está diseñada para tener, teóricamente, deriva en temperatura nula:

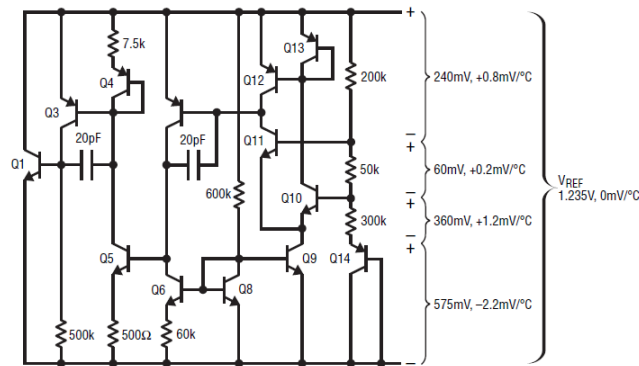


Figura 17. Referencia de salto de banda pensada para deriva de 0mV/°C [11]

Las referencias de salto de banda presentan ciertas ventajas y ciertos inconvenientes con respecto a las referencias basadas en diodos. Estas se enumeran a continuación:

- Las referencias de salto de banda son capaces de obtener a su salida menores voltajes que las referencias basadas en diodos zener.
- Las referencias de salto de banda presentan, en su mayoría, menor ruido y menor variación con la temperatura para voltajes pequeños de salida.
- Sin embargo, para mayores salidas (a partir de 5V aproximadamente) las referencias basadas en diodos zener presentan mejores prestaciones de ruido y derivas dado que las referencias bandgap utilizan la etapa amplificadora de salida indicada anteriormente.

2.2.2 Figuras de mérito

Una vez elegido el tipo de componente hay que tener en cuenta los parámetros de las referencias a la hora de seleccionar si pueden ser útiles para nuestra aplicación. Los parámetros más relevantes para nuestra aplicación se describen a continuación [12]:

- Voltaje de salida: Valor que la referencia va a fijar a su salida.
- Error en la salida: Variación del voltaje de salida con respecto al valor ideal (típicamente en porcentaje) a fondo de escala.
- Coeficiente de variación de la salida con la temperatura.
- Voltaje de alimentación típico
- Corriente típica de funcionamiento: Corriente que consume en condiciones normales de funcionamiento.
- Regulación de línea: Capacidad de mantener el voltaje de salida en función de la variación de la tensión a la entrada del dispositivo.
- Regulación de carga: Capacidad de mantener el voltaje de salida en función de la variación de la carga a su salida y por tanto, en función de la corriente que se demanda al dispositivo.
- Estabilidad a largo plazo: Capacidad de mantener el voltaje de salida con el paso de las horas. También se puede indicar esta capacidad con la deriva a largo plazo.
- Rechazo de fluctuaciones de la alimentación: Capacidad del regulador de reducir las posibles fluctuaciones que tengan lugar en el voltaje de alimentación para que estas no se presenten a la salida.

2.3 CONTROL DIGITAL E INTERFAZ DE USUARIO. INSTRUMENTACIÓN VIRTUAL. LABVIEW

Para el desarrollo del control digital y la interfaz de usuario vamos a usar las herramientas típicas de instrumentación virtual como es LabVIEW. LabVIEW es un entorno de programación gráfica desarrollado por National Instruments. Según esta empresa, “LabVIEW es un extenso entorno de desarrollo que brinda a científicos e ingenieros integración con hardware sin precedentes y amplia compatibilidad. LabVIEW lo inspira a resolver problemas, acelera su productividad y le da la seguridad para innovar continuamente para crear y desplegar sistemas de medidas y control” [13].

LabVIEW es una herramienta versátil que nos permite entre otros [14]:

- Procesar señales adquiridas con algún dispositivo HW desde el ordenador.
- Controlar múltiples instrumentos del entorno industrial teniendo estos instrumentos monitorizados en el ordenador.
- Automatizar sistemas de pruebas y validación.

El entorno de programación LabVIEW consiste en dos ventanas: el *Block Diagram* y el *Front Panel*. En el *Block Diagram* el usuario puede programar usando estructuras y funciones ya existentes en el menú de LabVIEW, programar código en MatLab y relacionar con cables todos estos bloques. Un ejemplo de *Block Diagram* se muestra en la siguiente figura:

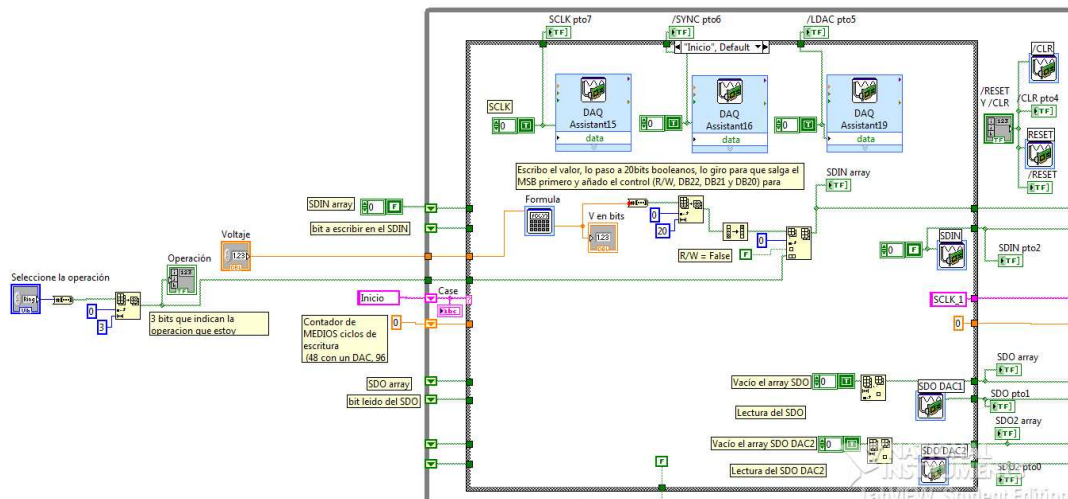


Figura 18. Ejemplo de *Block Diagram*

Muchos de estos bloques tienen su repercusión en el llamado *Front Panel*. Esta segunda ventana muestra un panel de control donde puedes controlar ciertas señales del *Block Diagram* o simplemente monitorizarlas, dibujar gráficas, etc. Así por ejemplo, el *Front Panel* asociado con el *Block Diagram* anterior se muestra en la siguiente figura:



Figura 19. Ejemplo de *Front Panel*

LabVIEW es una herramienta muy útil a la hora de implementar interfaces de usuario para interactuar con múltiples elementos industriales de manera sencilla y cómoda. Por lo tanto, se ha elegido como herramienta para realizar la interfaz con la que el usuario pueda manejar fácilmente la fuente de tensión que será implementada.

Además, para poder conectar la interfaz en LabVIEW con la fuente de tensión, necesitaremos un dispositivo de adquisición de datos compatible con LabVIEW, el cual genere las señales necesarias para controlar dicha. Esta herramienta, en nuestro caso, será el dispositivo NI myDAQ [15].

2.3.1 NI myDAQ

NI myDAQ es una tarjeta de adquisición creada por National Instruments pensada especialmente para estudiantes. Las principales especificaciones de este son las siguientes [15]:

- Dos Canales de Salida Analógica y Entrada Analógica Diferenciales (200 ks/s, 16 bits, +/- 10 Volts).
- Ocho Líneas de Entrada Digital y Salida Digital (Compatible con TTL de 3.3 Volts).
- Salida de Suministro de Potencia de +5, +15 y -15 Volts (hasta 500m Watts de Potencia).
- Multímetro de 60 Voltios para medir voltaje, corriente y resistencia.

Una imagen del NI myDAQ se muestra a continuación:

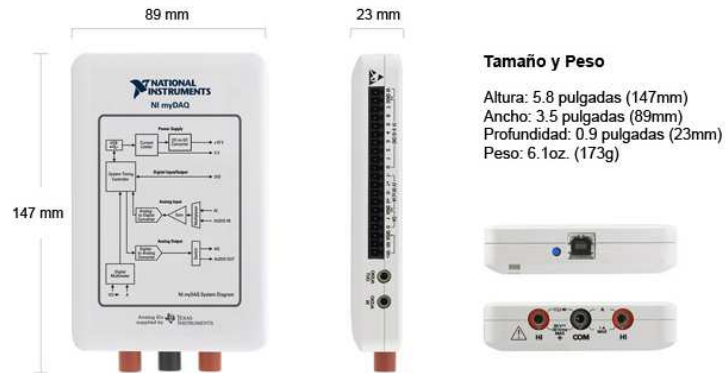


Figura 20. Imagen y dimensiones del NI myDAQ

Además, NI myDAQ es compatible con LabVIEW instalando NI ELVISmx. NI ELVISmx es un driver software para usar ciertos instrumentos como el myDAQ con LabVIEW. Al instalar NI ELVISmx aparecen en el menú de LabVIEW más opciones, entre ellas un bloque para escribir y leer señales de los puertos del NI myDAQ, que sería la opción que nosotros queremos para poder comunicarnos con el convertor digital-analógico de nuestra PCB. Este bloque se llama DAQAssistant y se muestra en la siguiente figura:

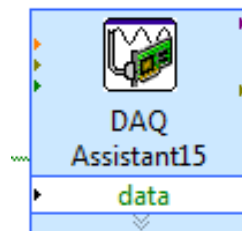


Figura 21. DAQ Assistant en LabVIEW

Para poder escribir en uno de los puertos digitales del myDAQ habría que configurar este bloque en modo escritura en puerto digital, indicar el puerto deseado e introducir la señal que se quiera en el bloque. El proceso para leer de uno de los puertos sería análogo.

En conclusión, NI myDAQ nos permite adquirir y escribir señales digitales de manera que podemos generar el control necesario para controlar los DAC y leer los bits que este componente muestre en su salida usando LabVIEW.

2.4 OTROS COMPONENTES

Además de los elementos citados hasta ahora, habrá una serie de componentes que, aunque no sean fundamentales, sí son necesarios para el apropiado funcionamiento de la fuente de tensión implementada y para que esta cumpla los requisitos enunciados al principio de este documento. Más en concreto, son circuitos integrados que en algunos casos ayudan a disminuir las fluctuaciones en la señal de alimentación del circuito implementado, como los reguladores de tensión y, en otros casos son circuitos que nos ayudan a acondicionar la señal para que muestre las propiedades necesarias a la entrada de otros componentes como es el caso de los amplificadores operacionales. A continuación se muestra una pequeña introducción teórica a estos dispositivos.

2.4.1 Reguladores de tensión

Un regulador de tensión es un circuito integrado que fija a su salida un voltaje. De este modo, la salida del regulador será una señal constante y fija a pesar de que el voltaje o la carga a la entrada de este regulador varíen. Las entradas de alimentación de los circuitos electrónicos suelen pasar primero por este tipo de dispositivos para obtener los valores de voltaje de entrada deseados en cada componente y para evitar posibles daños en los componentes debido a cambios bruscos en las alimentaciones. Para más información acerca de los reguladores de tensión y sus tipos ver [4].

Un ejemplo típico de regulador es el LM317 que se muestra en la siguiente figura:

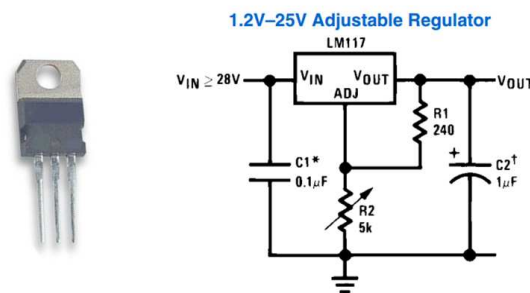


Figura 22. Imagen y configuración típica del LM317 [16]

2.4.1.1 Tipos de reguladores de tensión

Los reguladores de tensión se dividen en dos grandes grupos: reguladores conmutados y reguladores lineales. Cada uno de ellos tiene una manera completamente distinta de mantener a la salida el voltaje regulado. Estos dos tipos de reguladores se describen a continuación.

Reguladores de tensión conmutados

Los reguladores conmutados presentan en su interior un elemento que conmuta entre corte y conducción troceando la señal y filtrándola posteriormente. Variando el ciclo de trabajo, que en este caso sería el porcentaje de tiempo que se corta o deja pasar la señal, se varía la relación entre el voltaje de entrada y el de salida. Por lo tanto, variando el ciclo de trabajo de manera inversa a la variación del voltaje de entrada se consigue que la tensión a la salida se mantenga constante.

Estos dispositivos son bastante eficientes debido a que trocean la señal lo que los hace especialmente adecuados en aplicaciones con consumos significativos de potencia. Por el contrario, presentar mayor ruido que los reguladores de tensión lineales y mayor coste, lo que los hace menos adecuados en nuestra aplicación ya que no tenemos grandes necesidades de potencia.

Reguladores de tensión lineales

En estos reguladores existe un transistor realimentado gracias al cual, la diferencia entre el voltaje de entrada y el de salida varía con el voltaje de entrada, haciendo que la tensión a la salida se mantenga constante. Esta diferencia de voltaje entre la entrada y la salida se llama, en inglés, *dropout*. Cuanto mayor sea el voltaje a la entrada del regulador mayor es el *dropout*, consiguiendo así mantener constante el voltaje a la salida de este.

Hoy en día, hay reguladores lineales, llamados reguladores LDO (*low dropout*), en los cuales, en lugar de transistores NPN se encuentran transistores PNP obteniendo el mismo resultado con menores caídas de tensión entre la entrada y la salida. Un esquema típico de estos reguladores es el siguiente:

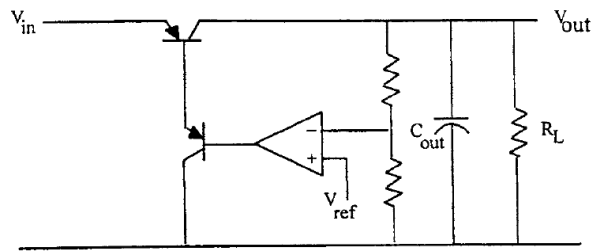


Figura 23. Esquema típico de un regulador lineal LDO[4]

El hecho de que la diferencia de voltaje entre la entrada y la salida sea especialmente pequeña permite que la potencia disipada sea mucho menor que en otros reguladores lineales. De este modo se resuelve el problema de la potencia disipada, que es uno de los principales inconvenientes de los reguladores de tensión lineales con respecto a los conmutados. Las principales ventajas de los reguladores de tensión lineales LDO con respecto a los conmutados son las siguientes:

- Menor coste
- Menor ruido
- Menor tiempo de establecimiento

Figuras de mérito en reguladores de tensión lineales

Una vez elegido el tipo de componente hay que tener en cuenta los parámetros de los reguladores a la hora de escoger uno para nuestra aplicación. Los más relevantes para nuestra aplicación se describen a continuación [17]:

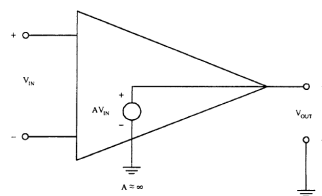
- Voltaje de salida: Valor que el regulador va a fijar a su salida.
- Corriente típica de funcionamiento: Corriente que consume el regulador en condiciones normales de funcionamiento.
- Corriente de salida máxima: Corriente máxima que el regulador es capaz de entregar al resto de elementos del circuito. Es imprescindible que el regulador sea capaz de proporcionar suficiente corriente al resto de componentes del circuito para que este funcione.
- Regulación de línea: Capacidad del regulador de mantener el voltaje de salida en función de la variación de la tensión a la entrada de este.

- Regulación de carga: Capacidad del regulador de mantener el voltaje de salida en función de la variación de la carga a su salida y por tanto, en función de la corriente que se demanda al regulador.
- Estabilidad a largo plazo: Capacidad del regulador de mantener el voltaje de salida con el paso de las horas.
- Rechazo al rizado de entrada: Capacidad del regulador de reducir las posibles fluctuaciones que tengan lugar en el voltaje de entrada para que estas no se presenten a la salida.

2.4.2 Amplificadores operacionales

Un amplificador operacional es un componente que tiene dos entradas y en función de su configuración y estas entradas obtiene un voltaje a su salida. Estos dispositivos son fundamentales en electrónica y están presentes en la mayoría de los circuitos existentes. A menudo se utilizan con el fin de presentar a la salida la señal de entrada amplificada, como su propio nombre indica.

El amplificador operacional ideal se muestra en la siguiente figura:



$$V_{out} = A \cdot V_{in} \quad (2.7)$$

Figura 24. Amplificador operacional ideal [4]

En la figura se observa como el amplificador tiene una entrada diferencial (dos terminales uno inversor y otro no inversor) y presenta a su salida un voltaje relacionado con el voltaje diferencial a su entrada. Además, en su versión ideal tiene ganancia infinita y una impedancia de entrada también infinita lo que implica que no circula corriente entre sus terminales de entrada.

Para más información acerca de los amplificadores operacionales, sus no linealidades, sus configuraciones, etc. ver [4].

2.4.2.1 No idealidades en los amplificadores operacionales

Lógicamente, en la realidad el amplificador presenta muchas no idealidades. Algunas de estas se enumeran a continuación:

- Ganancia finita: La ganancia en los amplificadores reales no es infinita y ni siquiera tiene por qué ser lineal con el voltaje de entrada.
- Voltaje de saturación: Además de que la ganancia no es infinita, el voltaje de alimentación del amplificador limita el máximo voltaje que este dispositivo puede presentar a su salida.
- Impedancia de entrada no infinita: Lo que implica, entre otros, que sí que circula corriente entre los dos terminales de entrada.
- Corriente de polarización: Corriente necesaria en cada terminal de entrada del amplificador para que este funcione.
- Corriente de offset: Es la diferencia entre las corrientes de polarización de las dos entradas del amplificador.
- Voltaje de offset: Es el voltaje que se debe introducir en la entrada de un amplificador para que la salida sea de 0V.

A la hora de escoger un amplificador, tendremos que tener en cuenta estos comportamientos no ideales para asegurarnos que el circuito cumplirá los requisitos objetivo.

2.4.2.2 Configuraciones de los amplificadores operacionales

Los amplificadores operacionales se configuran de numerosas maneras para conseguir la salida deseada. Las tres configuraciones más comunes, que son susceptibles de ser necesarias en el circuito que queremos diseñar, se muestran a continuación:

Seguidor de tensión o buffer

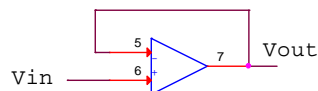


Figura 25. Amplificador seguidor de tensión

Donde:

$$V_{out} = V_{in} \quad (2.8)$$

Sumador inversor

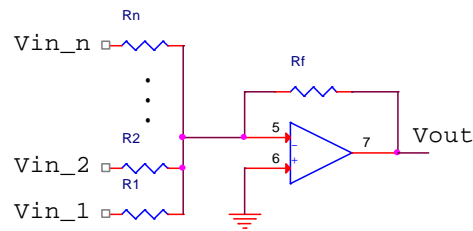


Figura 26. Amplificador inversor

Donde:

$$V_{out} = -R_f \sum \frac{V_{in_i}}{R_i} \quad (2.9)$$

No inversor

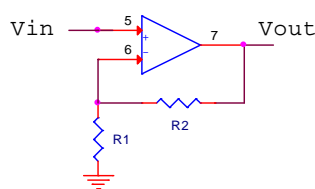


Figura 27. Amplificador no inversor

Donde:

$$V_{out} = V_{in} \left(1 + \frac{R_2}{R_1}\right) \quad (2.10)$$

2.4.2.3 Figuras de mérito en amplificadores operacionales

Una vez que nos hemos decidido a utilizar un amplificador operacional, debemos tener en cuenta los parámetros que el amplificador elegido debe cumplir. Los parámetros más relevantes para nuestra aplicación se describen a continuación[18]:

- Rango de voltajes de alimentación: Rango de valores con los que el amplificador puede ser alimentado. Esto también limitará el rango de voltajes que el amplificador presentará a su salida.
- Alimentación unipolar (V_{cc} y GND) o Bipolar ($\pm V_{cc}$).
- Ruido: El amplificador tiene varias fuentes de ruido. Los principales ruidos a tener en cuenta son el ruido térmico, el ruido shot y el ruido flicker.
- No idealidades: Entre otras, las explicadas en el apartado 2.4.2.1: ganancia finita, impedancia de entrada y salida, voltaje y corriente de offset, etc.
- Consumo de potencia: Potencia que consume el dispositivo en condiciones normales de funcionamiento.
- Estabilidad a largo plazo: Capacidad de mantener el voltaje de salida con el paso de las horas. También se puede indicar esta capacidad con la deriva a largo plazo.
- Rechazo al modo común (CMRR): Un amplificador también amplificará la señal que se presente en ambos terminales de entrada. La capacidad con la que un amplificador rechaza esta señal común se indica en el CMRR, que indica, en decibelios, la relación entre la ganancia del amplificador a la señal diferencial con respecto a la ganancia de la señal común.

Una vez que los elementos importantes han sido introducidos y sabemos sus fundamentos teóricos pasaremos a describir el diseño de la fuente de tensión implementada, explicando cada una de sus partes y el motivo de seleccionar cada uno de los componentes.

Capítulo 3. Diseño e implementación de la referencia de tensión

Una vez que hemos descrito los elementos que forman parte de esta fuente de tensión, vamos a determinar los modelos de cada uno de estos dispositivos que mejor cumplen las prestaciones necesarias de entre los disponibles en el mercado y formar el circuito constituido por todos estos componentes. Después este diseño realizado, ya con los componentes seleccionados habrá que realizar el diseño en OrCad y fabricar la PCB correspondiente al esquemático diseñado.

En este capítulo se describe, precisamente, el proceso que se ha llevado a cabo para seleccionar los modelos concretos de componentes que han sido usados en esta fuente y el posterior diseño del esquemático y layout de la fuente de tensión que se ha implementado en este proyecto fin de carrera.

3.1 SELECCIÓN DE COMPONENTES Y DE TECNOLOGÍA

Como ya hemos comentado en numerosas ocasiones, el núcleo de esta salida en tensión consiste en un par de conversores digital-analógico los cuales, en función del código indicado por la interfaz digital, proporcionan a su salida un voltaje, dando lugar a una fuente de tensión programable. Por lo tanto, es fundamental la adecuada selección de estos componentes a la hora de conseguir que las características del diseño realizado cumplan los requisitos establecidos en el marco de este proyecto fin de carrera. El DAC seleccionado tendrá que cumplir ciertos requisitos de número de bits, ruido, deriva en temperatura, etc.

Dado que queremos una fuente de 20V de rango con una resolución de 1mV, el número mínimo de bits que el DAC tendrá será el siguiente:

$$\frac{20V}{2^N - 1} < 1mV \rightarrow N > 14bits \quad (3.1)$$

Entonces, habrá a buscar DACs disponibles en el mercado con más de 14 bits y buenas características de ruido, offset, etc. Además, al ser la resolución un parámetro importante, cuando mayor número de bits tenga el DAC, más fácilmente cumpliremos el requisito. En la siguiente tabla podemos ver algunos de los DAC que más se acercan a nuestros requisitos de los fabricantes Analog Devices y Texas Instruments y algunos de sus parámetros:

Tabla 2. DACs de Analog Devices y Texas Instruments

Dispositivo	Bits	Ruido y derivas	Alimentación	Rango Vout (V)	Resolución (con 20V de rango)
AD5791	20	NEP:7.5nV/√Hz Vnoise:1 μVp-p Drift: <0.05 ppm/°C	V _{DD} = (12.5, 16.5) V _{SS} = (-16.5, -12.5) V _{REFP} = 10V V _{REFN} = -10V V _{CC} = (2.7, +5.5) IOV _{CC} = (1.71, 5.5)	10V-20V	19μV < 1mV
AD5781	18	NEP:7.5nV/√Hz Vnoise:1.1 μVp-p Drift: <0.05 ppm/°C	V _{DD} = (12.5, 16.5) V _{SS} = (-16.5, -12.5) V _{REFP} = 10V V _{REFN} = -10V V _{CC} = (2.7, +5.5) IOV _{CC} = (1.71, 5.5)	0V-20V	76μV < 1mV
DAC1220	20	Linearity Error: ±0.0015%	AV _{DD} = DV _{DD} = +5V V _{REF} = +2.5V	5V	No funciona en un rango de 20V

En primer lugar podemos descartar el DAC1220 dado que no funciona en el rango que nosotros necesitamos (20V). Los otros dos DAC, a primera vista, son adecuados para nuestro propósito. Como tendremos mejor resultado cuanto mayor número de bits elegiremos el AD5791 y lo analizaremos más detenidamente para comprobar con seguridad que funcionaría correctamente en nuestra aplicación.

3.1.1 Características del AD5791

El DAC AD5791 se muestra en la siguiente figura. Iremos analizando una por una las características más relevantes para comprobar si con el DAC elegido conseguiríamos realizar nuestro dispositivo.

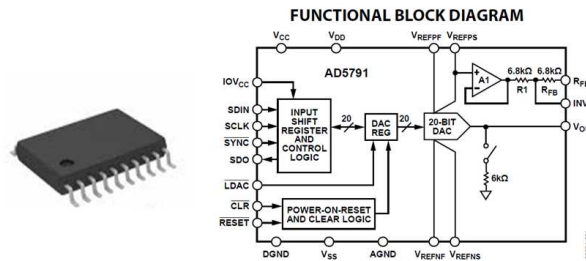


Figura 28. Imagen del AD5791 y su diagrama de bloques[8]

3.1.1.1 Características generales

Es un convertor analógico-digital cuyas características generales se muestran en la siguiente imagen:

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE ²					
Resolution	20			Bits	
Integral Nonlinearity Error (Relative Accuracy)	-1	±0.25	+1	LSB	B version, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$, $T_A = 0^\circ\text{C}$ to 105°C
	-1.5	±0.25	+1.5	LSB	B version, $V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-1.5	±0.5	+1.5	LSB	B version, $V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-3	±1	+3	LSB	B version, $V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
Differential Nonlinearity Error	-4	±2	+4	LSB	A version ⁴
	-1	±0.5	+1	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-1.5	±0.75	+1.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$
	-2.5	±1	+2.5	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$
Linearity Error Long Term Stability ⁵		0.16		LSB	After 500 hours at $T_A = 125^\circ\text{C}$
		0.19		LSB	After 1000 hours at $T_A = 125^\circ\text{C}$
		0.11		LSB	After 1000 hours at $T_A = 100^\circ\text{C}$
Full-Scale Error	-3	±0.1	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-5	±0.25	+5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-9	±0.8	+9	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
		±0.02		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error Temperature Coefficient	-1.5	±0.1	+1.5	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-2.5	±0.15	+2.5	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-9	±0.75	+9	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
		±0.04		ppm FSR/ $^\circ\text{C}$	
Zero-Scale Error Temperature Coefficient ³	-6	±0.3	+6	ppm FSR	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-10	±0.4	+10	ppm FSR	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-20	±0.4	+20	ppm FSR	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
		±0.04		ppm FSR/ $^\circ\text{C}$	
Gain Error Temperature Coefficient ³	-3	±1	+3	LSB	$V_{REFP} = +10\text{ V}$, $V_{REFN} = -10\text{ V}$
	-3	±1	+3	LSB	$V_{REFP} = 10\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
	-3	±1	+3	LSB	$V_{REFP} = 5\text{ V}$, $V_{REFN} = 0\text{ V}$ ³
		±0.005		ppm FSR/ $^\circ\text{C}$	
Mid-Scale Error Temperature Coefficient ³		0.01		%	
				%	
R1, RFB Matching					

Figura 29. Características generales del AD5791 [8]

Resolución

El AD5791 tiene una resolución de 20 bits. Esto es más que suficiente para nuestra aplicación dado que se refleja en una salida que varía menos de 1mV:

$$\frac{20V}{2^{20}-1} = 19\mu V < 1mV \quad (3.2)$$

Por lo tanto tenemos un DAC con un LSB de 19μV.

INL (Integral nonlinearity) y DNL (differential nonlinearity)

El AD5791 tiene una INL de ±2LSB y una DNL de ±0.5LSB. Como ya hemos comentado anteriormente la INL no nos preocupa especialmente porque variaciones del valor teórico no son problemáticas para nuestra aplicación. Sin embargo el DNL es crítico dado que necesitamos que la variación entre dos valores consecutivos (nuestra resolución) sea menor de 1mV.

El AD5791 tiene una DNL de ±0.5LSB lo cual se corresponde con ±9.5μV. Este valor es suficiente pequeño como para no suponer un problema en nuestra implementación.

Otros errores estáticos: errores de offset, de ganancia y de linealidad

Como se muestra en la Figura 29, el resto de errores estáticos son, en el peor de los casos, 1LSB (19 μV) por lo que ninguno de ellos nos supondrá un problema. El problema de los errores es que son acumulativos, no puedes considerarlos separadamente [3]. Aún así, no parece que estos errores supongan un problema a priori en nuestra implementación.

Derivas en temperatura

En el peor de los casos, que es la variación de la ganancia y del cero con la temperatura, el error es de ±0.04ppm FSR/°C lo cual se corresponde con 0.76 μV/°C. Estos parámetros tampoco nos causarán problemas.

3.1.1.2 Parámetros a la salida

La siguiente figura muestra algunos de los parámetros relevantes del AD5791 a la salida:

OUTPUT CHARACTERISTICS ³				
	V_{REFN}	V_{REFP}	V	
Output Voltage Range	50		V/ μ s	
Output Slew Rate	1		μ s	
Output Voltage Settling Time	1		μ s	10 V step to 0.02%, AD845 output buffer
				500 code step to ± 1 LSB, AD797 output buffer ⁶
Output Noise Spectral Density	7.5		nV/ $\sqrt{\text{Hz}}$	at 1 kHz, DAC code = midscale
	7.5		nV/ $\sqrt{\text{Hz}}$	at 10 kHz, DAC code = midscale
	7.5		nV/ $\sqrt{\text{Hz}}$	At 100 kHz, DAC code = midscale
Output Voltage Noise	1.1		μ V p-p	DAC code = midscale, 0.1 Hz to 10 Hz bandwidth ⁷

Figura 30. Características en la salida del AD5791

Rango

Uno de los principales requisitos de este dispositivo es que obtenga un voltaje en un rango de 20V. En el AD5791, el rango de salida varía entre V_{REFN} y V_{REFP} y permite que estos dos valores sean -10V y +10V. Por lo tanto tenemos un rango de 20V disponible.

NOTA: Hay que tener en cuenta lo siguiente: el rango será de 20V pero la referencia no será GND sino -10V. Por lo tanto, si queremos una salida entre 0V y 20V, habrá que situar la referencia en los -10V de la fuente que alimenta esta fuente de tensión en lugar de la GND del circuito.

Slew Rate y tiempo de establecimiento

El *slew rate* y el tiempo de establecimiento del DAC no son relevantes en nuestra aplicación dado que lo vamos a usar para obtener una salida en DC y no necesitamos grandes prestaciones de velocidad.

Ruidos a la salida

El ancho de banda de nuestra señal será muy pequeño dado que trabajamos en DC de manera que una NEP de 7.5nV/ $\sqrt{\text{Hz}}$ no será problemática en este caso. Por otro lado, un ruido a la salida de 1.1 μ Vp-p también es pequeño y no nos supone un problema.

Otros

Como ventaja adicional este DAC tiene literatura de apoyo como es el artículo “The 20-Bit DAC Is the Easiest Part of a 1-ppm-Accurate Precision Voltage Source” de Maurice Egan [19]. En dicho artículo, el autor indica claramente que el uso de un DAC con 20bits de precisión es una fácil solución a la hora de implementar una fuente de tensión con precisión de 1ppm.

También revela que el AD5791 es el primer DAC del mercado monotónico y con precisión de 1ppm.

Con todo este análisis de parámetros podemos concluir que el AD5791 es el componente ideal para constituir el núcleo de este dispositivo que vamos a implementar.

3.1.2 Requisitos para el correcto funcionamiento del AD5791

Una vez hemos elegido el AD5791 como elemento central del dispositivo que vamos a implementar tenemos que pensar el circuito que nos permitirá que este se comporte como deseamos. Con este propósito se han estudiado en profundidad dos documentos: el datasheet del AD5791 [8] y el artículo “The 20-Bit DAC Is the Easiest Part of a 1-ppm-Accurate Precision Voltage Source” de Maurice Egan [19] ya comentado anteriormente.

La siguiente figura, extraída directamente del artículo, nos da una buena pista de cómo comenzar. En él, Maurice Egan, indica una posible implementación de una fuente de tensión con precisión 1ppm. Podemos ver que el AD5791 necesita de otros componentes a su alrededor para funcionar conforme a las especificaciones. Estos componentes son los amplificadores auxiliares y una referencia de tensión. Como es lógico, estos componentes también deben ser elegidos con sumo cuidado para conseguir los requisitos finales.

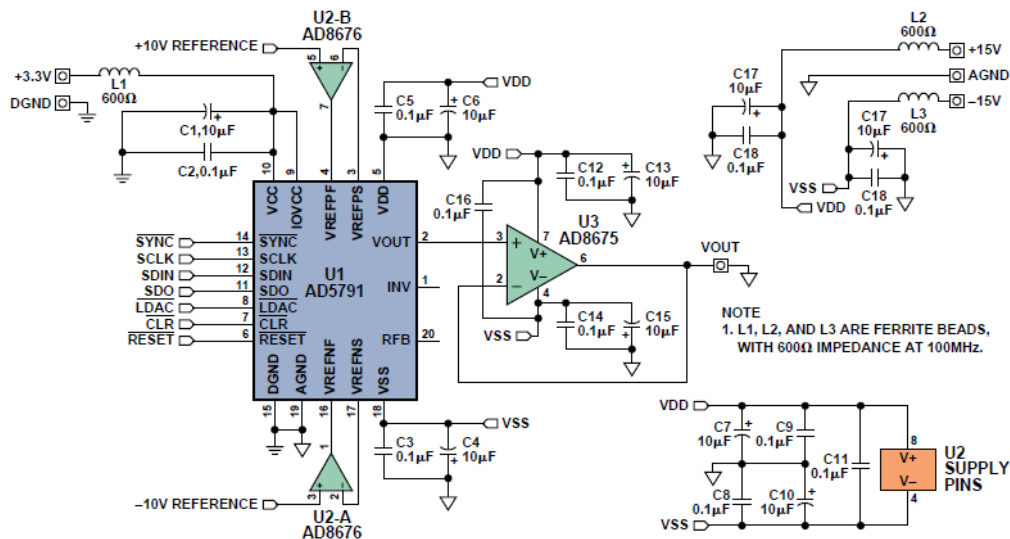


Figura 31. Posible diseño de una fuente con precisión 1ppm usando el AD5791[19]

3.1.2.1 Necesidad de una Referencia de Tensión

Como se ve en la implementación recomendada por Analog Devices, es necesaria la presencia de un voltaje de 10V de referencia, que vendrá dado por una referencia de tensión. El fabricante no recomienda ninguna referencia de manera que vamos a analizar las disponibles en el mercado:

Tabla 3. Referencias de tensión de Linear Technologies

Dispositivo	Vout	Precisión	Deriva en temperatura	Alimentación (V)
LT1236A-10	10V	0.05%	2ppm/°C	15V
LTC6655BHMS8-5	5V	0.025%	2ppm/°C	13.2V

En la tabla anterior podemos ver las referencias más estables de Linear Technologies que muestran a su salida 10V y 5V respectivamente. En el momento de diseñar la placa, no se encontraron referencias más estables en ningún otro fabricante.

Podría haberse usado la referencia LT1236A-10, que ofrece 10V a su salida, pero la precisión es un parámetro importante en nuestro dispositivo dado que limita la resolución. Otra opción es usar la referencia de 5V y amplificarla para obtener los 10V.

El componente LTC6655BHMS8-5 es una referencia basada en salto de banda (ver apartado 0 y [12]) con gran precisión, baja deriva en temperatura y disponible en montaje superficial. Finalmente se eligió este componente para nuestro dispositivo dado que era la referencia más estable del mercado.

El esquema típico de este circuito se muestra en la siguiente figura:

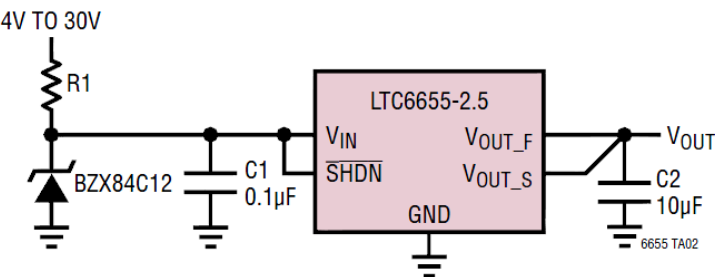


Figura 32. Esquema típico de la referencia LTC6655-5[12]

3.1.2.2 Amplificadores auxiliares

Es importante el uso de amplificadores auxiliares en las entradas del DAC y en la salida de este. Además, la correcta elección de estos es crucial para conseguir las prestaciones óptimas que presenta el componente, dado que los amplificadores presentes a la entrada y la salida de este DAC podrían degradar ciertos parámetros del DAC como, por ejemplo, la linealidad.

3.1.2.2.1 Amplificadores auxiliares para las entradas de referencia

Como se puede ver en la Figura 31, son necesarios dos amplificadores externos en los pines de entrada de la referencia para asegurar la linealidad del DAC y conseguir las especificaciones indicadas en el datasheet. Estos amplificadores son los indicados como U2-A y U2-B. El fabricante, en el datasheet del AD5791, recomienda el uso del AD8675 y del AD8676 para estos propósitos dado que tienen muy bajo ruido, bajo offset y su corriente de polarización es muy pequeña.

Ambos circuitos integrados, el AD8675 y el AD8676, son el mismo dispositivo con la diferencia de que el AD8675 contiene un solo amplificador en su interior y el AD8676 contiene dos de ellos. Sus principales características son las siguientes:

- Ruido de voltaje de 2.8n V/VHz.
- Corriente de polarización menor de 2nA.
- Voltaje de offset de 75μV.
- Deriva en temperatura de 0.6 μV/°C.
- Consumo de corriente de 3.8mA.
- Funciona con una alimentación bipolar de ±15V.
- Ruido de voltaje de sólo 0.1 μVp-p

Para más información sobre estos amplificadores se puede consultar su datasheet [18].

En nuestro caso, la referencia que hemos elegido (ver capítulo anterior) no es de 10V sino de 5V por lo que, además de usar el amplificador como buffer, habrá que amplificar por +2 para obtener 10V y por -2 para obtener los -10V con otros amplificadores (ver Figura 38). Todos ellos serán AD8675 y AD8676.

3.1.2.2.2 Amplificadores auxiliares para las salidas de referencia

Igual que a la entrada, a la salida de cada conversor también es necesario situar un buffer para evitar posibles daños de este. El fabricante recomienda, al igual que en la entrada el AD8675. Sin embargo, en este caso se ha elegido otro amplificador, el modelo LTC1151 cuyo fabricante es Linear Technology. Esto se debe a su menor error de offset en la entrada, que es como máximo $5\mu\text{V}$ en lugar de los $75\mu\text{V}$ del AD8675. Además contiene dos amplificadores en su interior de manera que un solo chip nos servirá para los dos DAC que implementaremos. Para más información sobre este dispositivo ver [20].

3.1.2.3 Regulación de la alimentación del circuito

Como es lógico, las variaciones en las alimentaciones del DAC, de los amplificadores y de la referencia afectarán directamente a la salida de nuestro dispositivo, por lo que es necesario que la alimentación de los circuitos integrados que usaremos tenga muy poco rizado. Por ello, todas las alimentaciones irán reguladas. Los reguladores elegidos para este propósito han sido el LM78L15, LM79L15 y LM78L05 cuyas salidas con $+15\text{V}$, -15V , y $+5\text{V}$ respectivamente. Las principales características de estos son las siguientes [17]:

- Disponibles en montaje superficial.
- Corriente de operación 100mA .
- Regulación de línea máxima 0.07% .
- Regulación de carga máxima 0.01% .

También se podrán usar los reguladores MC78L15A, MC78L05A y MC79L15A dado que son análogos pero de otro fabricante. El esquema típico para este tipo de reguladores es el siguiente:

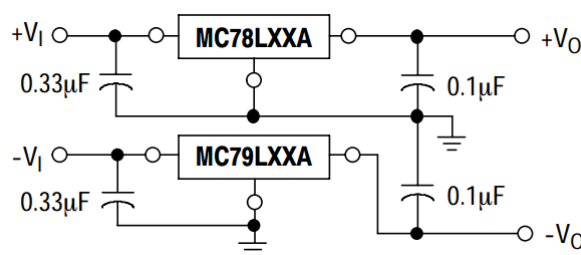


Figura 33. Esquema típico de los reguladores positivos y negativos.

3.1.2.4 Otras consideraciones. Fuente doble

Como dijimos al principio del capítulo, queremos dos fuentes de tensión, o lo que es lo mismo, una fuente doble. Analizando el datasheet del AD5791, podemos ver que puede funcionar en modo Daisy Chain. Esto significa que puedes conectar varios DAC en serie uniendo la salida de un dispositivo a la entrada del siguiente y controlarlos todos a través de una única línea de datos. A la hora de decidir el diseño de esta fuente se eligió esta opción de manera que habrá dos AD5791 conectados según la configuración mostrada en la figura:

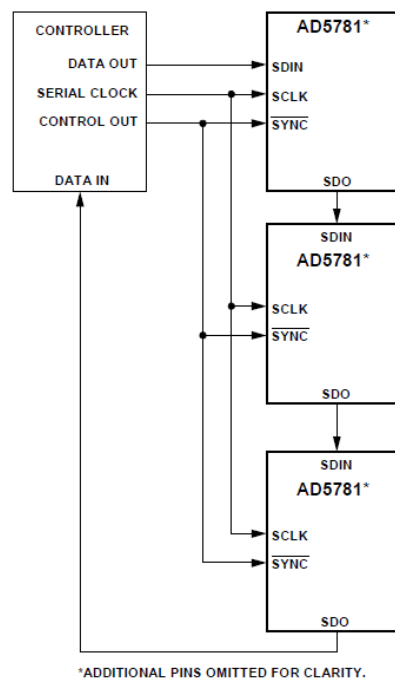


Figura 34. Configuración del AD5791 en *Daisy Chain*.

3.1.3 Dispositivos seleccionados

Por lo tanto, según lo explicado a lo largo de este capítulo, para realizar esta fuente de tensión de alta precisión utilizaremos los siguientes circuitos integrados:

- AD5791ARUZ (dos unidades): Conversor analógico digital.
- LTC1151CSW: Amplificador operacional dual.
- AD8675ARMZ: Amplificador operacional.
- AD8676ARMZ (dos unidades): Amplificador operacional dual.

- LTC6655BHMS8-5: Referencia de tensión.
- BZX84C12LT1G: Diodo zener.
- MC78L15ACDG: Regulador +15V.
- MC79L15ACDG: Regulador -15V.
- MC78L05ACDG: Regulador +5V.

3.2 ESQUEMÁTICO DE LA FUENTE DE TENSIÓN

Ya hemos analizado cada uno de los componentes que serán utilizados y hemos visto las configuraciones recomendadas de cada uno de ellos. Juntando todos ellos, resulta el esquemático definitivo para esta fuente de tensión de alta resolución, que ha sido realizado en OrCAD, y cuyo diagrama de bloques es el siguiente:

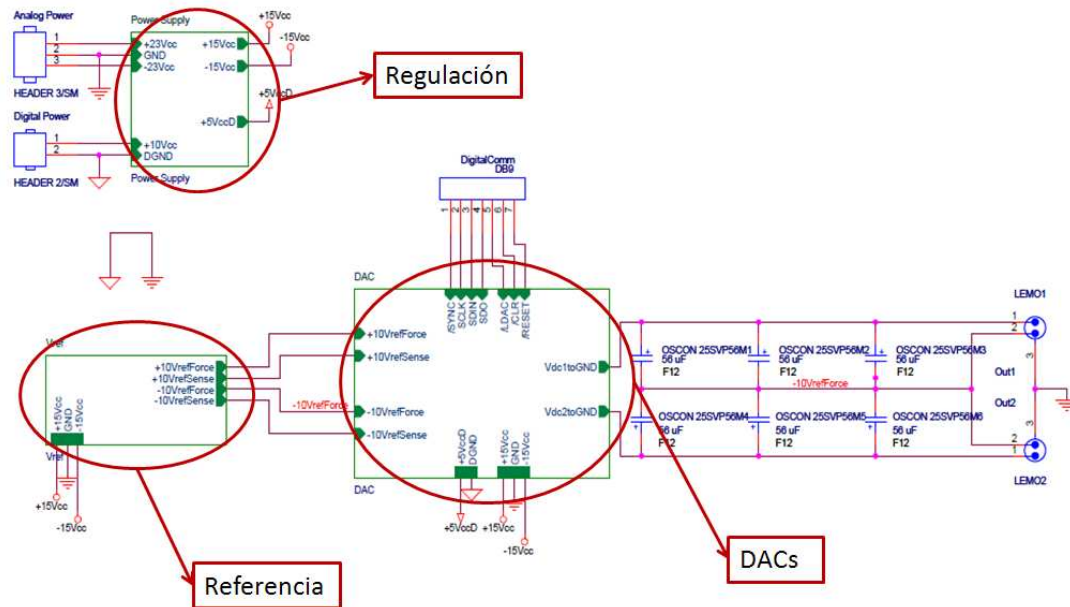


Figura 35. Bloques de la fuente de tensión implementada.

En la figura podemos ver los distintos bloques que componen esta fuente de tensión y que serán explicados en detalle en los siguientes apartados. En resumen, habrá un primer bloque de regulación, arriba a la izquierda en la figura, donde las alimentaciones son reguladas para evitar errores debidos a la calidad de la señal de la fuente de alimentación. Un segundo

bloque consistirá en la parte de referencia donde este voltaje de referencia es creado y acondicionado según los requisitos de los DAC. Por último, el bloque principal mostrado en la parte central de la figura anterior, contiene los dos DAC que proporcionarán la tensión que tenemos por objetivo.

Tras el bloque que contiene los DAC se ha colocado una etapa de salida que contiene unos condensadores de alta calidad y capacidad para filtrar paso bajo la señal una última vez antes de su salida.

A continuación iremos mostrando cada uno de los bloques que componen el esquemático para relacionarlo con todo lo explicado en el capítulo anterior.

3.2.1 Bloque de regulación

En este primer bloque, se regula la alimentación proveniente de la fuente para obtener a su salida una alimentación más estable y con menor rizado. Las tres señales de alimentación necesarias en el resto de bloques de esta fuente son $\pm 15V$ y $+5V$. Este bloque se basa en el esquemático del datasheet de los reguladores, mostrado en la Figura 33:

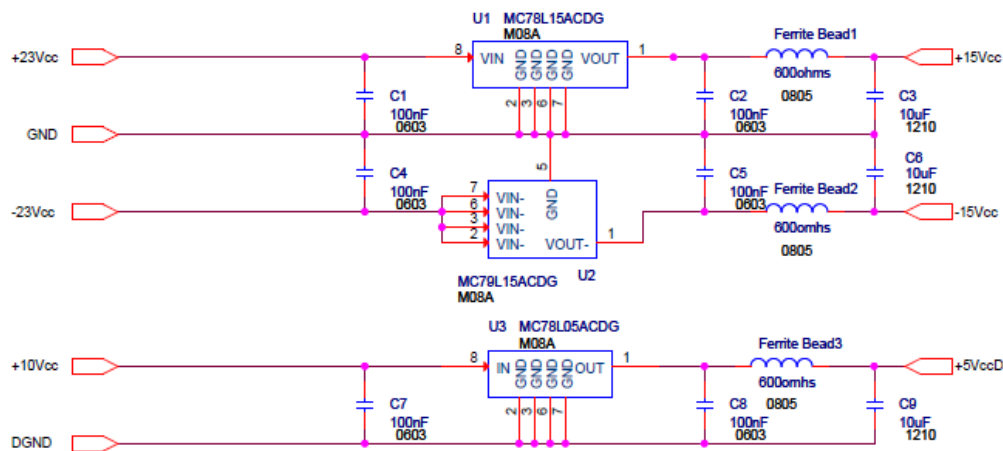


Figura 36. Bloque de regulación

En el esquemático podemos ver como la señal proveniente de la fuente de entrada, de unos $\pm 23V$ para los reguladores cuya salida es $\pm 15V$, entra en sendos reguladores y su salida es filtrada paso bajo para reducir las posibles fluctuaciones que haya en estas señales.

Análogamente, el regulador inferior obtiene 5V a su salida a partir de una entrada de unos 10V.

El filtro paso bajo final, compuesto por una ferrita de 600Ω y un condensador de $10\mu\text{F}$, está presente durante todo el esquemático, a la salida y a la entrada de cada punto de alimentación. El motivo de filtrar todas las señales continuamente es evitar que las fluctuaciones que puedan surgir en algún punto del circuito se propaguen llegando a aparecer en la salida. Este filtro se muestra en la siguiente figura con más detalle:



Figura 37. Filtro paso bajo de la alimentación presente en todo el circuito.

3.2.2 Bloque de referencia

En este segundo bloque se encuentra la referencia de 5V y los amplificadores necesarios para obtener a partir de esta señal los $\pm 10\text{V}$ de referencia necesarios a la entrada de los DAC. La alimentación de este bloque es la salida del bloque anterior, de manera que las fluctuaciones han sido reducidas notablemente. En la siguiente figura se muestra el esquemático:

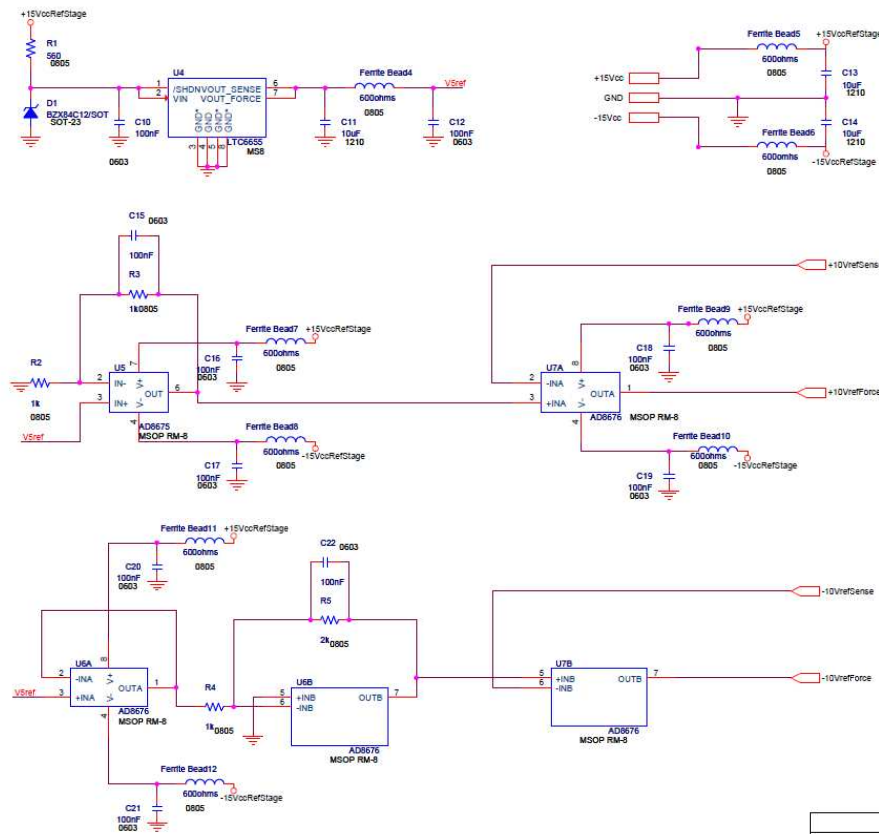


Figura 38. Bloque de referencia

En la parte de arriba a la derecha podemos ver que la salida del bloque anterior vuelve a ser filtrada para reducir posibles fluctuaciones. Posteriormente, estas dos señales de $\pm 15V$ alimentarán el diodo zener, la referencia y los amplificadores operacionales.

En la parte de arriba a la izquierda podemos ver el circuito típico de la referencia mostrado en la Figura 32. El diodo zener es polarizado con ayuda de una resistencia de 560Ω y la tensión en bornes del zener, de $12V$, entrará en la referencia. La salida de la referencia, de $5V$, es filtrada.

En la parte central del esquemático podemos ver dos amplificadores operacionales. El primero de ellos amplifica el voltaje de $5V$ obtenido de la referencia para obtener los $10V$ de referencia necesarios en el DAC. Es importante que la resistencia de realimentación en este amplificador sea de alta precisión para evitar que se degrade la señal procedente de la referencia. El segundo amplificador de esta cadena es el AD8676 que recomienda el datasheet del AD5791 para introducir la referencia de $10V$. Este amplificador está configurado en modo buffer, de manera que una de sus entradas se conectará al pin

V_{REF_FORCE} del DAC y la salida irá conectada al pin V_{REF_SENSE} de este mismo componente tal y como indica su datasheet.

Por último, en la parte inferior del esquemático encontramos un circuito similar al anterior. Es la parte que obtiene la referencia de -10V para el DAC. En primer lugar, hay un amplificador que simplemente invierte la señal de 5V procedente de la referencia y posteriormente otro amplificador la aumenta para que sea de los -10V requeridos. Finalmente tenemos un último amplificador que, al igual que en la parte central, funciona como buffer para fijar la referencia del AD5791.

3.2.3 Bloque con los conversores digital-analógico

Esta última parte del circuito contiene los DAC y una etapa de salida para evitar daños en los AD5791. El esquemático de este bloque se muestra en la siguiente figura:

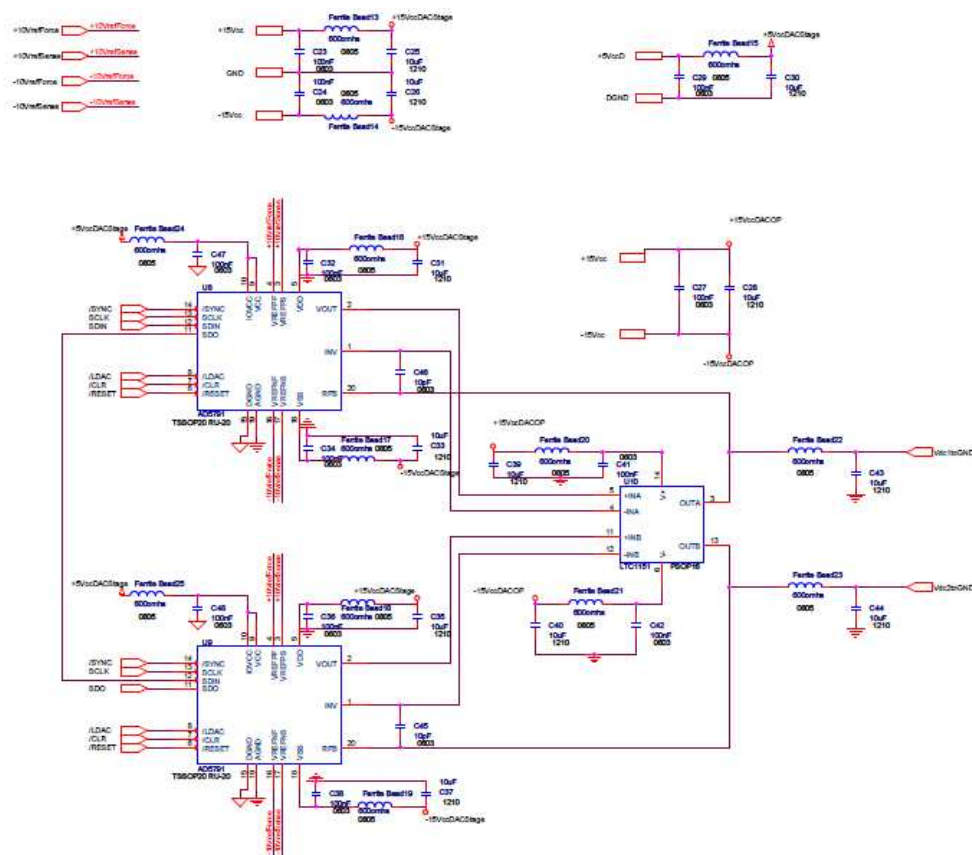


Figura 39. Bloque con los DAC

Como podemos ver en la parte superior de este esquemático, las tres señales de alimentación provenientes de los reguladores del bloque descrito en el apartado 3.2.1, vuelven a ser filtradas paso bajo para filtrar las posibles fluctuaciones que puedan surgir.

En la parte izquierda de la imagen se encuentran los dos DAC configurados según recomienda el datasheet (ver Figura 31). Además están conectados en *Daisy Chain* por lo que la salida (pin SDO) del DAC superior está conectada con la entrada de datos (pin SDIN) del segundo DAC. Se pueden ver varios pines que son las entradas digitales a los DAC para su control. De esto se hablará en el siguiente capítulo. Detrás de los DAC, el amplificador LTC1151 se coloca como etapa de salida de ambos convertidores. Por último, se filtra una vez más la señal para reducir las posibles fluctuaciones.

3.3 LAYOUT DE LA FUENTE DE TENSIÓN

Una vez que el esquemático ha sido realizado en OrCad hay que finalizar el diseño de la fuente de tensión realizando el llamado layout. El layout de un circuito es el proceso por el cual pasamos del diseño de su esquemático a la primera parte de la implementación física de este. Es el dibujo real de la placa que vamos a realizar. En el layout está la información relativa a la posición y el tamaño de cada uno de los componentes, las conexiones entre cada pin de ellos, el número de capas en las que hay componentes y pistas, el tamaño de estas pistas, los agujeros necesarios para poder fijar la placa con tornillos, etc.

Con el esquemático mostrado en la Figura 35 se diseñó el siguiente layout, el cual contiene 4 capas diferentes y fue enviado a una empresa externa a la universidad para fabricar la PCB:

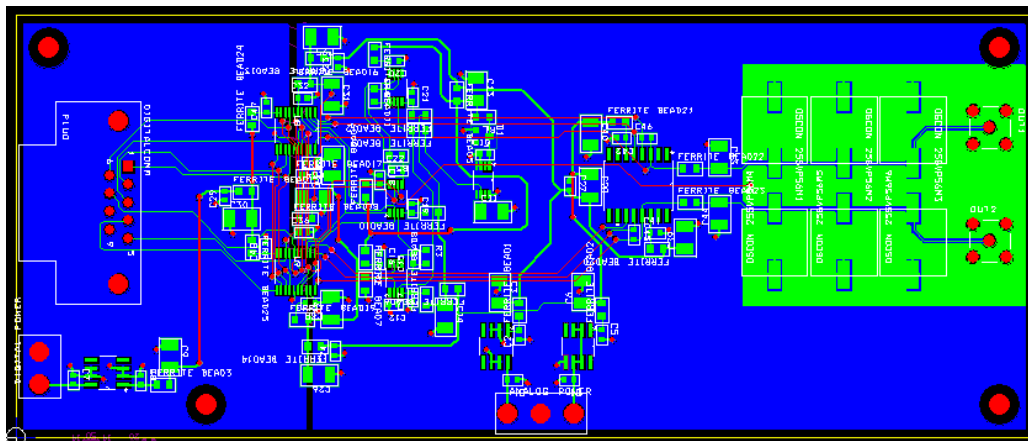


Figura 40. Layout de la PCB implementada

Esta PCB fabricada está formada por 4 capas:

- Capa superior o TOP: en esta capa van soldados todos los componentes. Igualmente, también están en ella los conectores de entrada de alimentación, de salida del voltaje de referencia y el conector DB9 que comunica los DAC con el dispositivo NI myDAQ.
- Capa inferior o BOTTOM: la capa inferior solo presenta algunas pistas que no podrían situarse en la capa superior debido a falta de espacio.
- Dos capas interiores: ambas capas componen la masa (GND). Podemos ver en la Figura 43 que hay una línea que separa dos partes de dicha capa. Como sabemos, este circuito tiene parte analógica y parte digital y es importante que las tierras de ambas partes estén separadas y se unan en un único punto para no tener dos referencias de masa[21].

Estas cuatro capas de este diseño en Orcad se muestran a continuación:

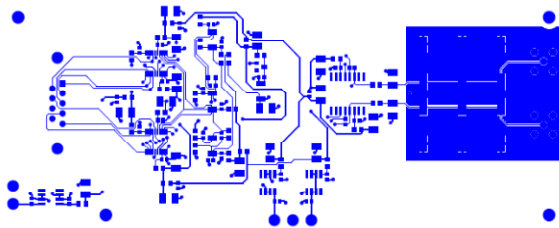


Figura 41. Capa superior de la PCB

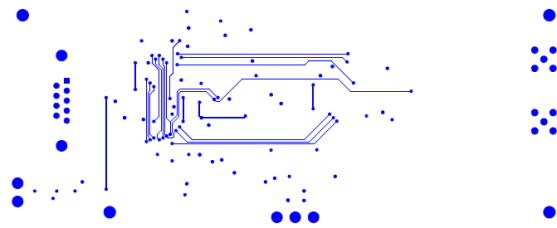


Figura 42. Capa inferior de la PCB

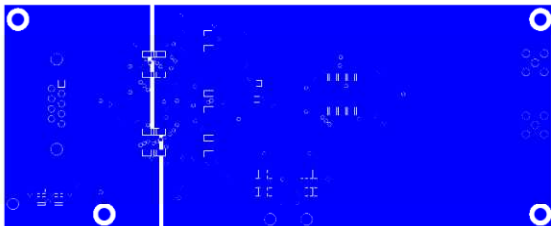


Figura 43. Capas internas de la PCB (GND)

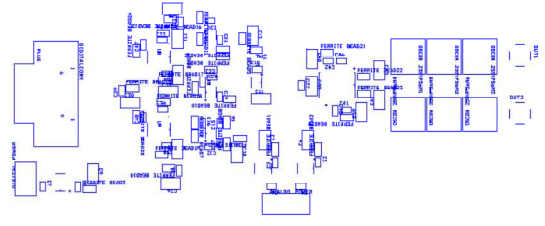


Figura 44. Contorno de los componentes (silkscreen)

3.4 PCB DE LA FUENTE DE TENSIÓN

Por último, una vez la PCB estaba creada, hubo que soldar los componentes en esta comprobando por bloques que el circuito estaba diseñado correctamente y que se comportaba según lo esperado.

Finalmente, se terminó el proceso de soldado resultando la placa que se muestra a continuación y que forma la parte principal del hardware de la fuente de tensión implementada:

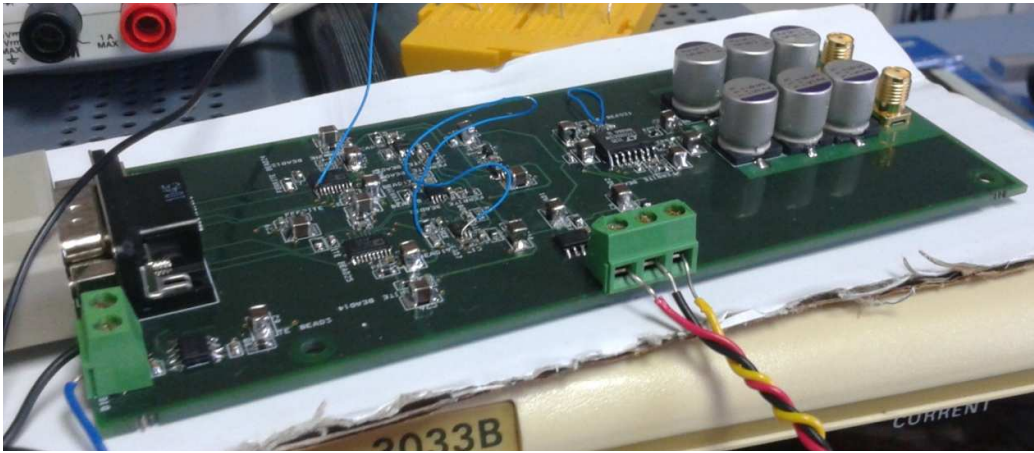


Figura 45. Imagen de la tarjeta implementada

Capítulo 4. Control e integración del sistema

Hasta ahora, hemos diseñado y fabricado la tarjeta PCB de esta fuente de tensión. El siguiente paso será, por lo tanto, la realización del control necesario para poder seleccionar el voltaje deseado a la salida a través de los pines digitales que presenta el AD5791. Además, se ha realizado una interfaz de usuario en LabVIEW para que el usuario pueda realizar este control digital de una manera sencilla e intuitiva.

En este capítulo se detallará en primer lugar la interfaz digital del AD5791 y, posteriormente, se explicará la interfaz de usuario que se ha implementado para el control de la anterior.

4.1 INTERFAZ DIGITAL DEL AD5791

Como ya hemos comentado, para configurar y controlar los DAC es necesario implementar una interfaz digital serie que, en el caso del AD5791 tendrá un formato SPI (*Serial Protocol Interface*).

En este apartado vamos a explicar en detalle la interfaz digital que utiliza el AD5791 y que debemos implementar para hacer que nuestros conversores digital-analógico funcionen adecuadamente. Toda la información relativa a esta interfaz está detallada en el datasheet del componente [8].

4.1.1 Pines de la interfaz

La interfaz digital del AD5791, está formada por siete pines que hay que controlar con el programa implementado para que el comportamiento del DAC sea el deseado. Estos pines se describen a continuación y se muestran en la Figura 46:

- SCLK: Entrada del reloj.
- /SYNC: Pin de sincronización. Durante los ciclos de reloj en los que se estén transfiriendo bits deberá estar a nivel bajo y mantenerse a nivel alto el resto del tiempo. Además es importante que este pin este activo el número de periodos correspondiente al número de bits que se transfieren dado que mantener el pin activo un ciclo más o menos implicaría que ese ciclo de lectura/escritura sería no válido.
- SDIN: Pin de entrada de datos. Tiene un registro de 24 bits y cada ciclo de reloj se carga un nuevo dato en este. Es importante tener en cuenta que los bits se cargan en los flancos de bajada de la señal de SCLK.
- SDO: Pin de salida de datos. Al igual que el SDIN, cada ciclo de reloj muestra en su salida un nuevo dato. En que en el caso del SDO los bits se cargan en los flancos de subida de la señal SCLK. Es importante tener en cuenta que los datos en este pin son los correspondientes a la operación realizada en el ciclo anterior. Esta es la clave para controlar varios dispositivos con una única línea de datos.
- /LDAC: Pin de carga del DAC. Cuando está activo el registro del DAC se actualiza de manera que esto se refleja en el voltaje de salida del DAC. Es importante activarlo el ciclo inmediatamente posterior a la desactivación del pin de sincronismo para que la nueva operación surja efecto.
- /CLR: Pin de borrado de registros. Al activar este pin todos los registros del DAC se actualizarán al valor por defecto.
- /RESET: Pin de reset: Activar este pin sitúa al DAC en su estado inicial (power-on status).

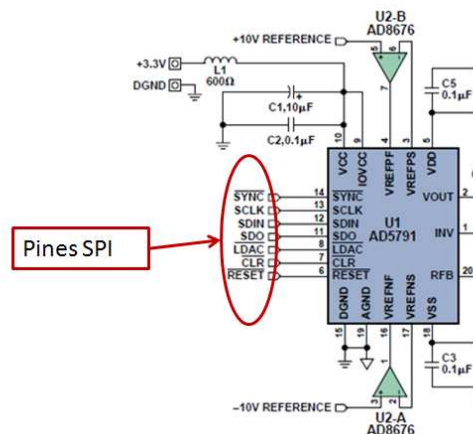


Figura 46. Pines de la interfaz serie del AD5791 [8].

Por lo tanto para conseguir que el esquema diseñado funcione habrá que implementar una interfaz serie que controle el estado de estos siete pines con la temporización indicada a continuación.

4.1.2 Temporización

Como es lógico, para hacer funcionar el DAC hay que cumplir una cierta temporización que se indica en el datasheet del dispositivo. A continuación, se describen los cronogramas que ha habido que implementar para la realización de esta fuente de tensión.

Cronograma de escritura

En la siguiente imagen se muestra el cronograma de escritura en el AD5791.

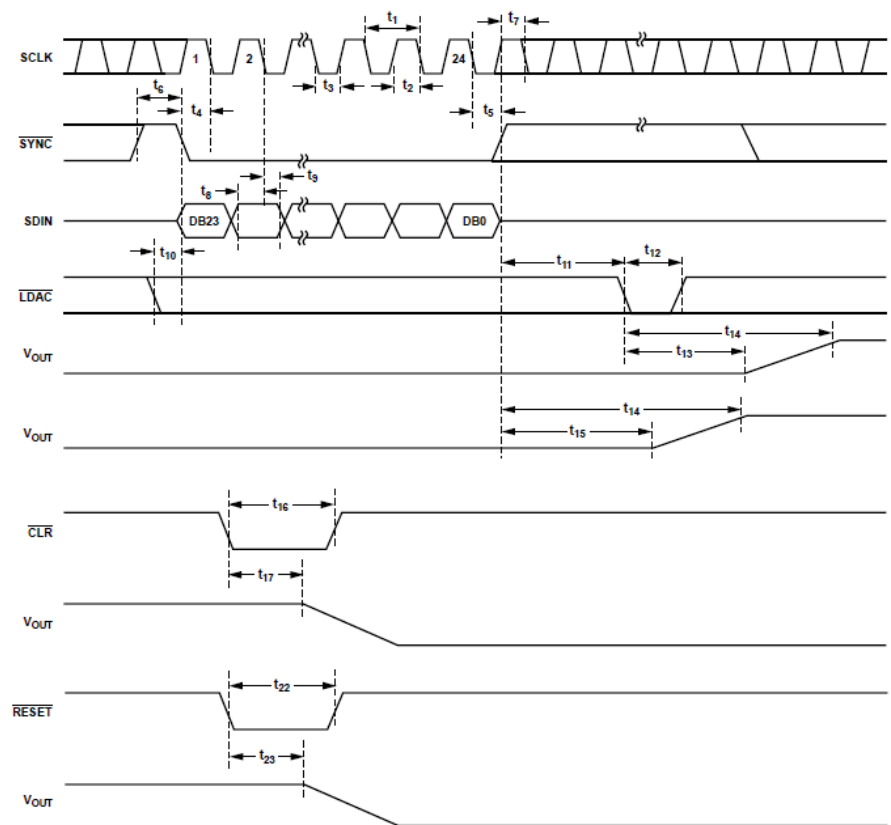


Figura 47. Cronograma de escritura en el AD5791

Como se puede apreciar en la figura, el reloj debe mostrar a su salida unos y ceros alternados durante los 24 periodos correspondientes a un ciclo de lectura o escritura. Estos mismos periodos, la señal de sincronismo estará a nivel bajo para que el registro del DAC se vaya cargando con los datos de entrada. A la vez, cada uno de los periodos de reloj se irá mostrando en la línea de entrada SDIN los datos correspondientes a la operación que queramos realizar en cada ciclo e, igualmente, irán mostrándose a la salida los datos correspondientes a la operación del ciclo anterior. Por último, tras subir el pin de sincronismo habrá que bajar el pin LDAC de manera que el voltaje de salida se actualice con el nuevo valor, si corresponde.

Además, en cualquier momento se pueden bajar las líneas de CLR o RESET haciendo que las salidas se pongan a 0V (valor por defecto) o que el DAC vuelva a su estado inicial.

Cronograma de lectura

En la siguiente imagen se muestra el cronograma de lectura en el AD5791.

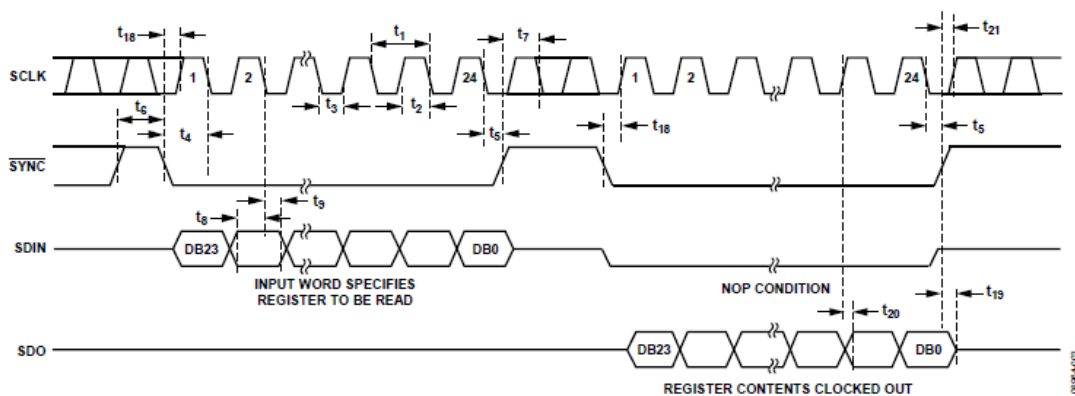


Figura 48. Cronograma de lectura en el AD5791

Este cronograma es similar al anterior: el reloj debe mostrar a su salida unos y ceros alternados durante los 24 periodos correspondientes a un ciclo de lectura o escritura. Estos mismos periodos, la señal de sincronismo estará a nivel bajo y cada uno de los periodos de reloj se irá mostrando en la línea de salida los datos correspondientes a la operación del ciclo anterior.

Cronograma de funcionamiento con varios DAC en cadena (modo Daisy-Chain)

En la siguiente imagen se muestra el cronograma en caso de tener varios DAC conectados en cadena, en modo Daisy-Chain:

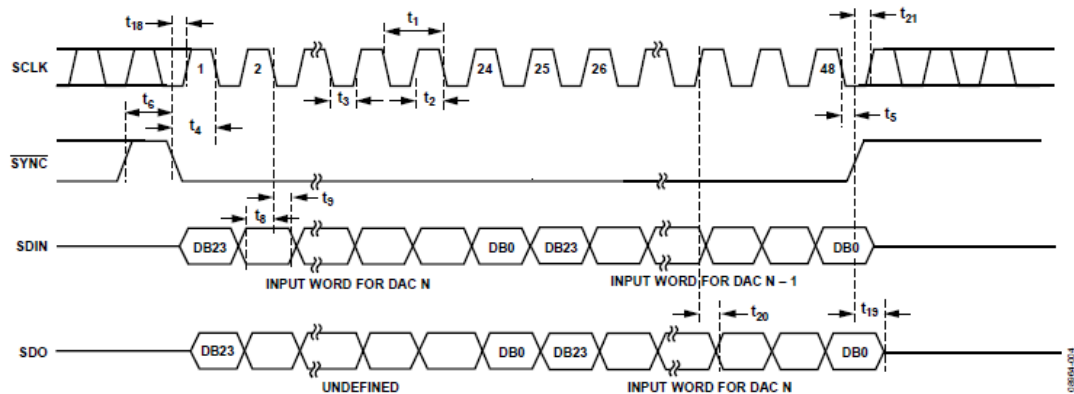


Figura 49. Cronograma en modo *Daisy-Chain* en el AD5791

Este cronograma se puede fácilmente relacionar con los dos anteriores. Como ya hemos dicho, los bits de entrada en un ciclo se muestran a la salida en el ciclo siguiente. De este modo, la primera operación entrará en el segundo DAC en el segundo ciclo, en el tercer DAC en el tercer ciclo y así sucesivamente. Por lo tanto, hay dos posibles maneras de controlar varios DAC en *Daisy-Chain*:

- Un solo ciclo de $24 \times N$ periodos: Manteniendo activo el pin SYNC y el reloj durante $24 \times N$ periodos siendo N el número de DACs e introduciendo las distintas operaciones seguidas en la entrada de datos.
- N ciclos de 24 periodos: Realizando N operaciones como las descritas anteriormente que irán en cada uno de los ciclos pasando al siguiente DAC hasta llegar al último.

Teóricamente el primer modo de funcionamiento (un solo ciclo de $24 \times N$ periodos) es la manera recomendada para funcionar en modo encadenado. Sin embargo, como explicaremos posteriormente, no se ha conseguido controlar los DACs en ese modo sino que se ha utilizado el segundo caso, introduciendo varias operaciones seguidas de manera independiente.

4.1.3 Interfaz serie

Una vez que sabemos la temporización de los pines que tenemos que configurar, nos queda por conocer la interfaz serie, que es el formato de la palabra de 24 bits que se enviarán a través del pin SDIN.

Formato de la palabra de 24 bits

Estos 24 bits se dividen en tres partes, que son las siguientes:

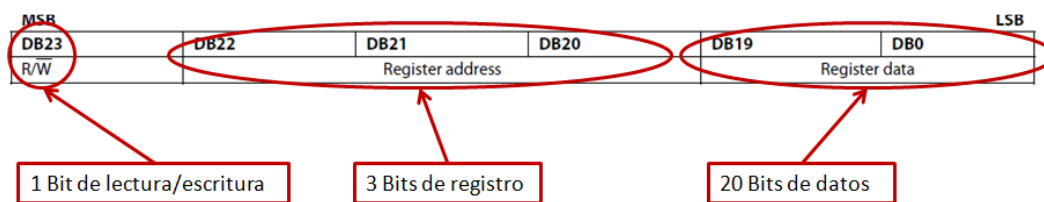


Figura 50. Formato de la palabra de 24 bits del DAC

- Bit de lectura/escritura: Este bit determinará si queremos realizar una operación de lectura o escritura en el DAC con el siguiente código:

Tabla 4. Bit de lectura/escritura

Operación	Bit
Lectura (R)	1
Escritura (W)	0

- Bits de registro: Estos tres bits seleccionan el registro del DAC sobre el que queremos realizar la operación de lectura o escritura. Hay cuatro posibles registros, que se seleccionan con la siguiente serie de bits:

Tabla 5. Bits de selección de registro

Registro	Bits
DAC Register	001
Control Register	010
Clearcode Register	011
Software Control Register	100

- Bits de datos: Estos 20 bits se corresponden con los 20 bits de datos que se introducen al DAC para configurar los distintos registros. En el caso de escribir en el *DAC Register*, estos son los 20 bits de datos que se corresponderán con el valor analógico a la salida, mientras que en el caso de escribir en otro de los registros, estos 20 bits activan o desactivan ciertas propiedades del DAC, configuran el DAC, etc.

Registros del DAC y bits de datos

Como hemos visto, tres de los 24 bits del DAC sirven para seleccionar el registro en el que queremos escribir. Los cuatro registros existentes en el DAC se enumeran a continuación y se detalla el formato de los restantes 20 bits de la palabra de datos:

- DAC Register: En este registro se escribe directamente la serie de 20 bits que se corresponden con el código digital que queremos escribir en el DAC.

MSB				LSB	
DB23	DB22	DB21	DB20	DB19	DB0
R/W	Register address			DAC register data	
R/W	0	0	1	20-bits of data	

Figura 51. DAC Register

- Control Register: Este registro de control nos permite configurar el DAC. Por lo tanto, nada más encender el DAC hay que configurarlo escribiendo los bits oportunos en este registro. El formato de este es el siguiente:

MSB														LSB		
DB23	DB22	DB21	DB20	DB19...DB11		DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	Register address			Control register data												
R/W	0	1	0	Reserved	Reserved	LIN COMP				SDODIS	BIN/2sC	DACTRI	OPGND	RBUF	Reserved	

Figura 52. Control Register

Según los bits que se escriban en este registro se puede activar el voltaje salida o mantenerlo en tri-estado, activar el pin SDO, utilizar lenguaje binario o Ca2, seleccionar el rango de la salida, etc. En nuestro caso, siempre se configurará para tener la salida activa al igual que el pin SDO, aplicar un rango entre 19V y 20V y utilizar codificación binaria en los datos.

- Clearcode Register: En este registro se puede establecer el valor que queremos a la salida del DAC cuando el bit /CLR está activo. Por defecto este valor es 0 y, en nuestro caso, lo hemos mantenido siempre así.

MSB					LSB
DB23	DB22	DB21	DB20	DB19	DB0
R/W	Register address			Clearcode register data	
R/W	0	1	1	20-bits of data	

Figura 53. Clearcode register

- Software Control Register: Este registro nos permite activar por software los pines /RESET, /LDAC Y /CLR poniendo a nivel alto el correspondiente bit de este registro.

MSB									LSB	
DB23	DB22	DB21	DB20	DB19	DB3	DB2	DB1	DB0		
R/W	Register address			Software control register data						
0	1	0	0	Reserved		RESET	CLR ¹	LDAC ²		

Figura 54. Software Control Register

Teóricamente, se obtiene el mismo resultado al activar estos tres pines por software o directamente variando el voltaje en el pin. Sin embargo, durante la realización de esta fuente de tensión variable hemos comprobado que no era así y, como se verá más adelante, hay casos en los que ha resultado más conveniente realizar un reset software (activando el bit DB2 de este registro) y en otros casos un reset hardware (activando el pin /RESET).

4.2 IMPLEMENTACIÓN DE LA INTERFAZ DE USUARIO

Paralelamente a la fabricación y soldadura de la PCB, explicados en el capítulo anterior, se ha elaborado el programa en LabVIEW que implementa el protocolo serie necesario para controlar los DAC, que es el explicado en el apartado anterior. A continuación, se explicará detalladamente este programa realizado.

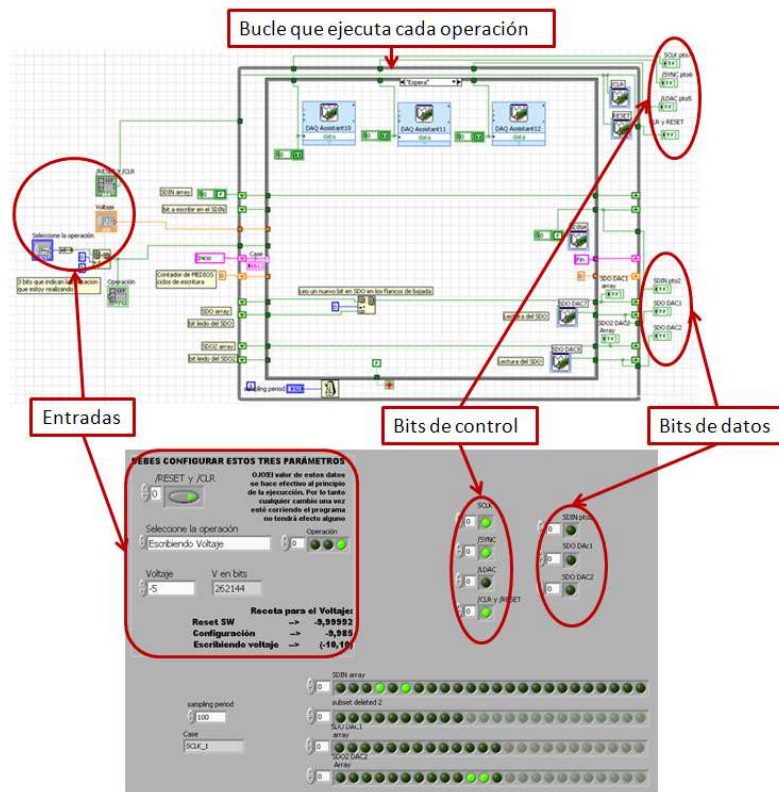
Recordemos que el objetivo es indicar a los DAC el voltaje que debe mostrar a su salida a través de una interfaz cómoda para el usuario usando el ordenador. Para ello, tenemos que seleccionar el valor de los bits de control del AD5791 (CLK, SYNC, LDAC, CLR y RESET) y de la entrada de datos de este (SDIN) según lo explicado en el apartado anterior, 4.1.

La estrategia elegida ha sido la creación de un programa que ejecuta una sola operación y finaliza, en lugar de un programa que se queda ejecutando a la espera de la siguiente operación. De este modo, para realizar N operaciones habrá que ejecutar este mismo programa N veces.

4.2.1 Vista general del diseño. Entradas y salidas del programa

La Figura 55 muestra el *Block Diagram* del programa realizado en la parte superior, mientras que, en la parte inferior, se muestra en Front Panel. Además se puede ver la relación existente entre los elementos en ambas partes de la aplicación.

En el lado izquierdo de la imagen podemos ver las entradas de la aplicación, que serán los parámetros que debemos configurar antes de ejecutar el programa para seleccionar la operación que va a ser realizada. Por otro lado, en la parte derecha tanto del diagrama de bloques como del panel de control podemos ver una serie de LEDs que nos indican el voltaje en los pines digitales de los DAC. Estos son los que hemos llamado bits de control y bits de datos. Por último, en la parte central del *Block Diagram* se muestra el bucle que en cada una de sus iteraciones establece los valores en cada uno de los pines de esta interfaz digital serie.



- /RESET y /CLR: Ambos pines se controlan con un solo interruptor. Cuando este pin se pone a nivel bajo los dos DAC de la PCB son reseteados y sus registros vuelven a estar a 0V. Mientras el pin se mantenga a nivel alto no tiene ningún efecto en los DAC.
- Seleccione la operación: Esta variable tiene tres opciones: Reset por software, configuración del DAC o Escribir valor y va a determinar los 4 primeros bits que se van a enviar al DAC, que son los bits que indican el registro en el que queremos escribir o leer.
- Voltaje: Determina el valor de los restantes 20 bits que se van a enviar al DAC. Es un valor entre -10 y 10.

En la siguiente tabla se indican las operaciones que se pueden realizar en el programa y cómo se configuran los parámetros de entrada:

Tabla 6. Operaciones disponibles en el programa LabVIEW

Operación	/CLR y /RESET	Seleccione la operación	Voltaje
RESET Hardware	OFF	x ¹	x ¹
RESET Software	ON	Reset SW	-9.99992
Configuración del registro de control del DAC	ON	Configuración	-9.985
Escribir valor de voltaje en el DAC	ON	Escribir Voltaje	Valor en voltios deseado en el rango (-10, 10)

¹ X significa Don't Care

Es importante tener en cuenta de que la configuración de estos tres parámetros debe ser realizada antes de arrancar el programa dado que el programa utiliza los valores disponibles en el instante en que se pone en funcionamiento. Por lo tanto, un cambio durante la ejecución no tendrá ninguna repercusión en el resultado.

Salidas del programa

Los bits de control y bits de datos sirven para comprobar que los bits que se están escribiendo en el DAC o leyendo de este son los adecuados. Los llamados bits de control indican el estado de los pines RESET, SYNC, LDAC, CLR y RESET mientras que los bits de datos indican el estado de los pines SDIN (entrada del primer DAC), SDO1 (salida del primer DAC y entrada del segundo) y SDO2 (salida del segundo DAC). Todos estos se muestran en la siguiente figura:



Figura 57. Salidas del programa

Además de estos bits hay otras indicaciones en el *Front Panel* que nos dan información extra para poder comprobar que las operaciones se están realizando correctamente. Estos se muestran a continuación:

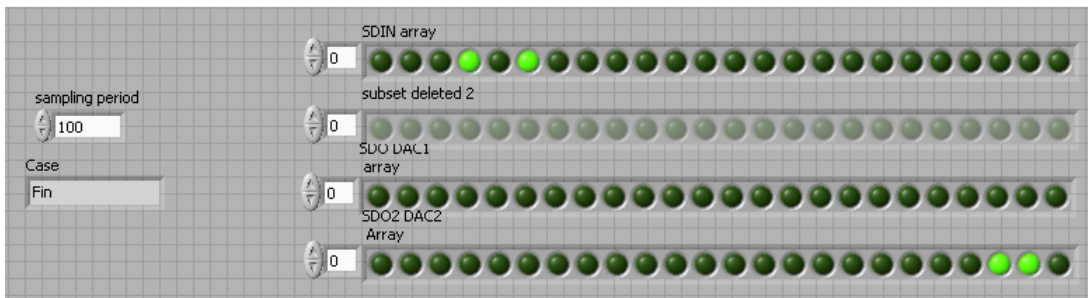


Figura 58. Otros indicadores del *Front Panel*

A la izquierda podemos ver dos indicadores: uno de ellos, llamado *sampling period*, muestra la tasa de repetición del bucle y el otro indicador, *Case*, indica el estado del *Case Structure* en el que la ejecución está en cada instante. A la derecha se pueden ver cuatro arrays que muestran la serie de bits que se irán escribiendo en la entrada del DAC y las series de bits que se leen a la salida de sendos DAC. El primero de ellos, *SDIN array*, indica la serie de bits que se enviarán al DAC en la operación actual, mientras que el segundo de ellos, *subset deleted 2*, muestra solamente los bits que quedan por enviar del total de los bits en *SDIN array*. Por otro lado, *SDO DAC1* muestra los bits que se van leyendo de la salida del primer DAC y, análogamente, *SDO DAC2* muestra la serie de bits obtenidos al leer la salida del segundo DAC.

4.2.2 Bucle del programa

El núcleo de este programa es un bucle llamado en LabVIEW *Case Structure*. En función de ciertos parámetros cada iteración del bucle se ejecuta una serie de acciones u otras. Cada una de estas series está almacenada en un estado del *Case Structure* diferente.

En nuestro caso tenemos cinco posibles estados: Inicio, SCLK1, SCLK0, Espera y Fin. El conjunto de estos estados son los que nos permiten indicar al DAC la operación que vamos a realizar y cada uno de estos estados establece las entradas del DAC a los valores oportunos. En la siguiente figura podemos ver el cronograma del DAC que ya se mostró en la Figura 47 y la parte que cubre cada uno de los estados de este *Case Structure*.

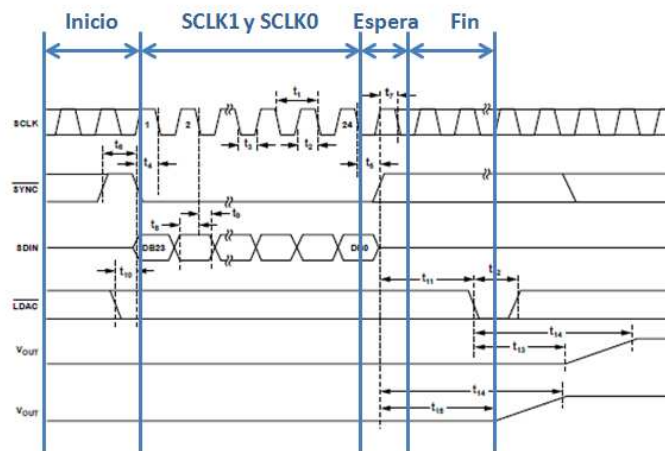


Figura 59. Relación entre el cronograma del AD5791 y el *Case Structure* realizado

En los próximos apartados se describe cada uno de estos estados que en su conjunto realizan una operación de escritura en el AD5791.

Inicio

Este primer estado de inicialización supone el inicio de un ciclo de escritura/lectura del DAC. Las acciones que se realizan son las siguientes, y se muestran en la Figura 60:

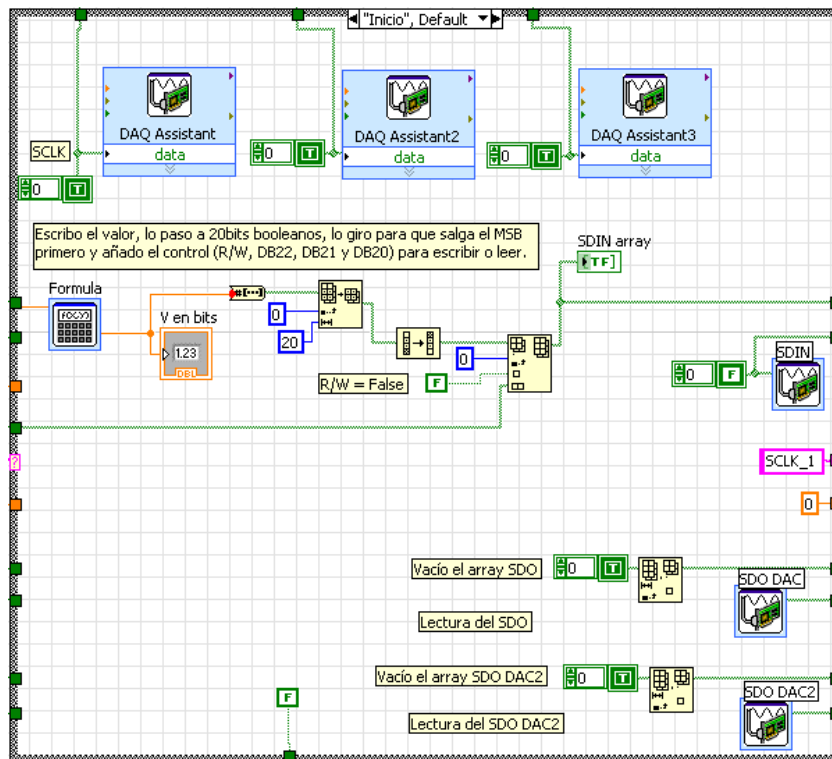


Figura 60. Estado "Inicio"

- Los bits SCLK, SYNC y LDAC se mantienen a nivel alto (True por ser un booleano). Esto se puede ver en la parte superior de la figura.
- El voltaje seleccionado por el usuario se pasa a un array de bits, se seleccionan 20 bits y se añaden los 4 bits que indican la operación. Estos 24 bits, almacenados en *SDIN array* y mostrados en *Front Panel* serán los enviados al DAC.
- En la parte inferior se lee la salida de cada uno de los DAC aunque en este primer ciclo no se están almacenando sus datos sino que se resetean los arrays de datos.

- A la derecha vemos, en una etiqueta rosa, como el siguiente estado del *Case Structure* será el llamado SCLK1 que se explica en el siguiente apartado.

Por lo tanto, este estado reinicia los arrays de datos, selecciona los bits para la siguiente operación y pone el DAC en el estado necesario para comenzar un nuevo ciclo de escritura.

Una vez que los parámetros están configurados pasamos a los ciclos en los que se introducen en el DAC cada uno de los 24 bits correspondientes. Estos ciclos se corresponden con los estados SCLK1 y SCLK0.

SCLK1

Este estado se corresponde con el tiempo en el que el bit SCLK tiene que estar a nivel alto, es decir la primera mitad de cada uno de los ciclos de reloj durante la escritura. Las acciones que se realizan son las siguientes, y se muestran en la Figura 61:

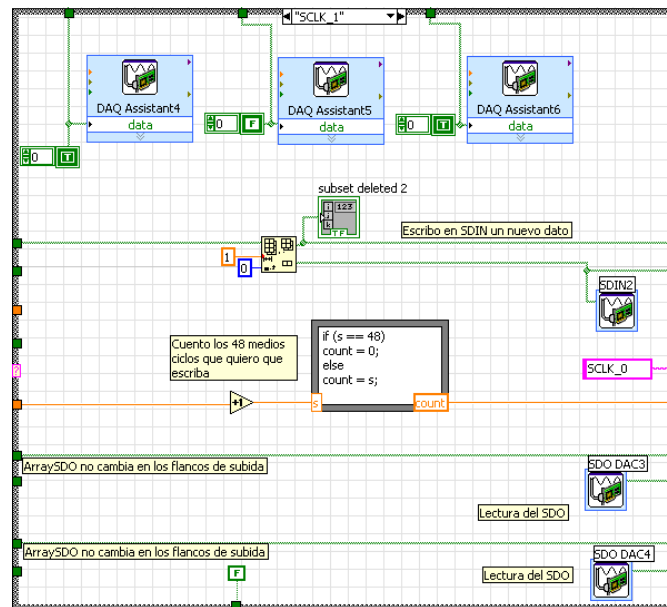


Figura 61. Estado "SCLK1"

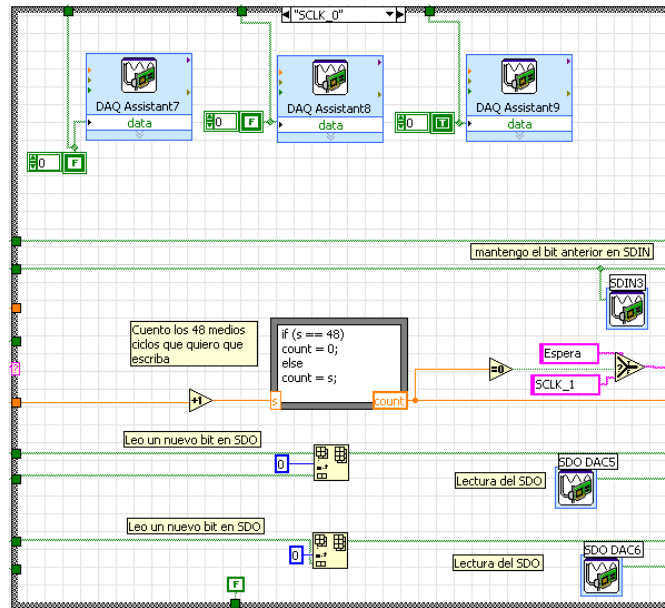
- El bit SCLK se mantiene a nivel alto.
- El bit SYNC pasa a estar a nivel bajo porque estamos en los ciclos de envío de bits de datos.

- El bit LDAC se mantiene a nivel alto.
- Se escribe en SDIN un nuevo dato. Esto se observa en el centro de la figura, dónde se extrae un bit del array de datos y ese bit se introduce en el DACAssistant correspondiente. En esta parte del ciclo se escriben en SDIN dado que los bits a la entrada del DAC se cargan en los flancos de bajada de la señal de SCLK.
- Sin embargo, en la parte inferior se muestran las lecturas de las salidas de los DAC, que en este momento no se modifican.
- En un cuadro de MatLab vemos como vamos contando los medios ciclos que llevamos escritos. Como son 24 ciclos (por los 24 bits que han de ser enviados al DAC) y cada uno de estos estados equivale a medio ciclo, deberemos contar hasta 48 iteraciones antes de terminar.
- A la derecha vemos, en una etiqueta rosa como el siguiente estado del *Case Structure* será el llamado SCLK0, muy similar a este estado y que se explica en el siguiente apartado.

Por lo tanto, hemos visto que en este ciclo se escribe en el AD5791 un nuevo dato mientras que no se lee ningún dato de la salida de los DAC. Posteriormente pasaremos al estado que supone el otro medio ciclo de escritura/lectura, es decir, la parte en la que el reloj se mantiene a nivel bajo.

SCLK0

Este estado se corresponde con el tiempo en el que el bit SCLK tiene que estar a nivel bajo, es decir la segunda mitad de un ciclo de reloj durante la escritura/lectura. Las acciones que se realizan son las siguientes, y se muestran en la Figura 62:



- El bit SCLK se mantiene a nivel bajo.
- El bit SYNC continúa a nivel bajo porque estamos en los ciclos de envío de bits de datos.
- El bit LDAC se mantiene a nivel alto.
- Ahora el pin SDIN se mantiene sin modificaciones de manera que continuará el bit que se envió el medio ciclo anterior.
- Por el contrario, es en este medio ciclo cuando se lee un nuevo bit del pin SDO dado que los bits a la salida del DAC se cargan en los flancos de subida de la señal de SCLK.
- En un cuadro de MatLab vemos como seguimos contando los medios ciclos que llevamos escritos, que se van acumulando con los contados en el estado SCLK1 hasta que lleguemos a 48.
- A la derecha vemos, en una etiqueta rosa como el siguiente estado del *Case Structure* será, de nuevo, SCLK1 para comenzar un nuevo ciclo de reloj, hasta que hayamos realizado los 48 medios ciclos en cuyo caso pasaremos al estado Espera.

Espera

Tras haber escrito los 24 bits en el registro correspondiente del DAC, hay que activar y desactivar adecuadamente los bits de control para que la operación tenga efecto. El procedimiento se indica en el cronograma mostrado en la Figura 47. Las acciones que se realizan son las siguientes, y se muestran en la Figura 63:

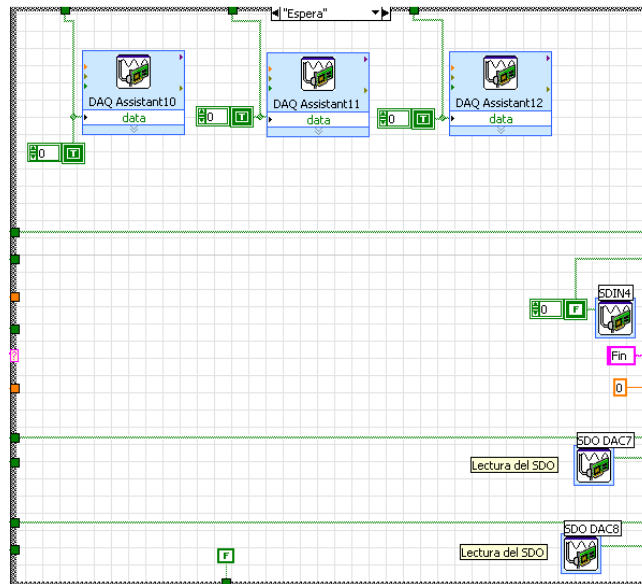


Figura 63. Estado "Espera"

- El bit SCLK ahora no es relevante. En nuestro caso se mantiene a nivel alto.
- El bit SYNC debe subirse para indicar que los 24 bits han sido enviados. Es importante que el bit de sincronismo esté a nivel bajo justo los 24 bits correspondientes. Mantener esta señal menos de 24 ciclos o más de 24 ciclos implicaría que la operación no sería válida.
- El bit LDAC se mantiene a nivel alto porque la salida debe ser activada después de subir el bit de sincronismo.
- Los bits escritos en el DAC o leídos de este no son relevantes ahora porque no corresponden con ningún dato de interés. Por lo tanto, ni se lee ni se escribe en estos.
- En color naranja se observa una etiqueta con el valor 0. Con ello estamos inicializando el contador de medios ciclos que hemos ido utilizando en los estados SCLK1 y SCLK0.

- A la derecha vemos, en una etiqueta rosa como el siguiente estado del *Case Structure* será, Fin, que se explicará en el siguiente apartado.

Tras subir el bit de sincronismo pasamos al último de los estados de este programa, llamado Fin.

Fin

La operación ha sido enviada al DAC correctamente y sólo nos queda activar la salida del DAC con el nuevo valor. Esto se muestra en la Figura 64:

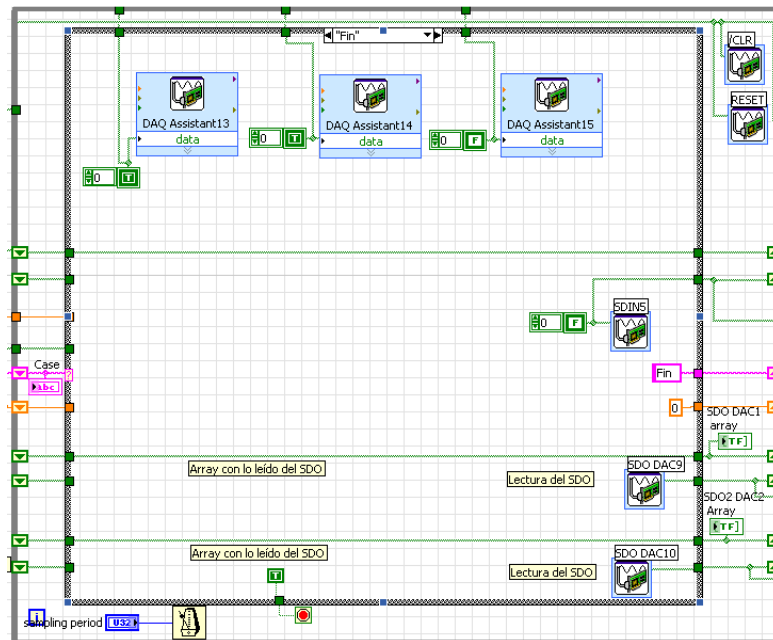


Figura 64. Estado "Fin"

- El bit SCLK sigue sin ser relevante. En nuestro caso se mantiene a nivel alto.
- El bit SYNC ahora no es relevante pero es preferible mantenerlo a nivel alto.
- El bit LDAC se baja justo ahora para indicar que la operación ha sido realizada y queremos actualizar la salida del DAC. Tras esta operación deberá observarse, si procede, un cambio en el voltaje a la salida del DAC.
- Los bits escritos en el DAC o leídos de este no son relevantes ahora porque no corresponden con ningún dato de interés. Por lo tanto, ni se lee ni se escribe en estos.

- En la parte más inferior del bucle podemos ver una pequeña constante booleana con el valor True (etiqueta verde con una T). Esta constante está conectada con el indicador de STOP del bucle de manera que paramos este bucle y por tanto, la operación y el programa completo finalizarán.

4.2.3 Procedimiento para obtener un voltaje a la salida de los DAC

El programa descrito en los apartados anteriores nos permite realizar una operación de escritura (podría ser también de lectura) en el DAC y, realizando la serie de operaciones adecuada, podemos conseguir que ambos DAC muestren a su salida el voltaje que nosotros seleccionemos. Teóricamente, es necesario configurar el DAC en primer lugar y después cualquier operación de escritura de datos modificará la salida con el voltaje correspondiente.

En un primer lugar se soldó un solo DAC en la PCB y este funcionaba a la perfección. Sin embargo, a la hora de soldar el segundo DAC en Daisy Chain los DAC dejaron de funcionar como se esperaba.

En cualquier caso, sí se ha encontrado un procedimiento según el cual los dos conversores funcionan de una manera no óptima pero correcta, permitiéndonos obtener a la salida de cada uno de los DAC el voltaje deseado. La serie de operaciones que es necesario aplicar para que los dos DAC muestren los dos voltajes deseados es la siguiente:

- 1- Reset Hardware
- 2- Configuración del registro de control
- 3- Escribir valor de voltaje en el DAC. Aquí se escribiría el valor que queremos en el segundo DAC.
- 4- Reset Software
- 5- Configuración del registro de control. Igual que el paso 2.
- 6- Escribir valor de voltaje en el DAC. Aquí se escribiría el valor que queremos en el primer DAC.

Si bien, es cierto que se debería poder escribir en el DAC un nuevo valor directamente y que este variase el voltaje a su salida, no se ha conseguido este resultado. Por el contrario, dado que no es requisito de esta fuente de tensión variar su salida rápidamente, realizar estos 6 pasos cada vez que se quiera variar la salida es una solución aceptable.

Por lo tanto, se diseñó un segundo programa en LabVIEW que permitía realizar esta serie de pasos automáticamente, con tan solo introducir los voltajes que queremos obtener en cada una de las salidas.

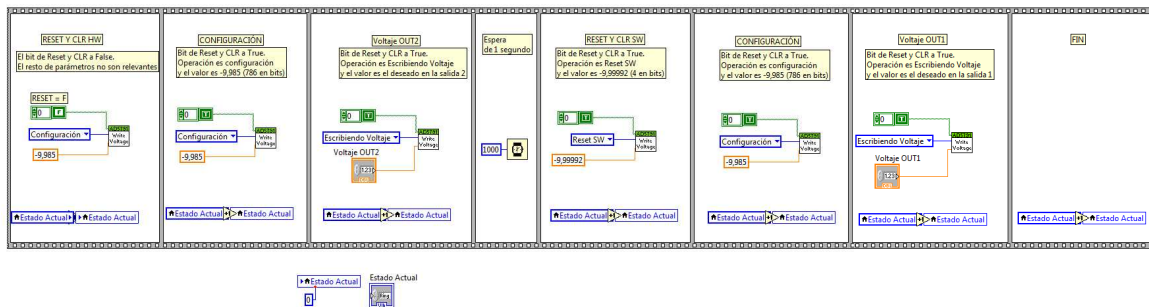


Figura 65. Block diagram del programa LabVIEW

Como podemos ver en la figura anterior, lo que este programa realiza son las 6 operaciones necesarias una tras otra, facilitando el uso de esta fuente de tensión al usuario. El programa ejecuta 6 veces la rutina LabVIEW mostrada en el apartado anterior, cada una de las veces con los parámetros oportunos. Tras las tres primeras operaciones se ha introducido una pausa de un segundo. De este modo, el usuario solo tiene que introducir los dos voltajes que desea en cada una de las salidas de la fuente y ejecutar el programa. Unos segundos después, estos valores aparecen en la salida. El front panel de este programa se muestra en la siguiente imagen:

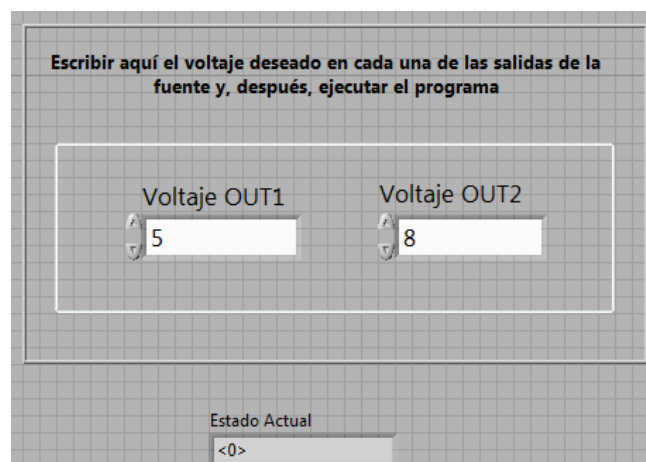


Figura 66. Front panel del programa LabVIEW

Capítulo 5. Verificación y Validación de la referencia de tensión desarrollada

Tras poner en funcionamiento el dispositivo realizado queda por comprobar que funciona adecuadamente. Para ello primero se van a realizar dos tandas de pruebas que se pueden dividir en pruebas de verificación y pruebas de validación.

En primer lugar, tendrá lugar la verificación, que consistirá en comprobar que la fuente funciona correctamente con respecto a las especificaciones indicadas en el apartado 1.2. Básicamente, se probará que el voltaje que se obtiene en ambas salidas varía con respecto al voltaje indicado por el usuario en el programa LabVIEW y se mantiene estable en el tiempo.

Posteriormente, se realizarán una serie de pruebas de validación, para comprobar si, efectivamente, el dispositivo creado mejora la estabilización de los filtros Fabry-Perot que se describieron al principio del documento (ver Capítulo 1) con respecto a funcionamiento de estos cuando el voltaje a su entrada es una fuente estándar del laboratorio.

5.1 VERIFICACIÓN

Esta verificación consiste en la comprobación de que la fuente implementada cumple los requisitos establecidos al principio del documento. En realidad lo que nos interesa es comprobar si el voltaje en ambas salidas de la fuente se corresponde con el introducido en el programa por el usuario y si este voltaje se mantiene invariable en tiempo.

Todas estas medidas se han realizado con la ayuda de un polímetro, de manera que la mayor precisión que podemos detectar será la resolución de este, de 10mV.

En la siguiente tabla, se muestran los voltajes obtenidos a la salida en un total de 6 pruebas. El voltaje que se pedía a ambos DAC era el mismo en este caso:

Tabla 7. Serie de pruebas de verificación

Voltaje teórico (V)	Voltaje canal 1 (V)	Voltaje canal 2 (V)
3	2.99	3.01
7	6.99	7.02
-5	-5.01	-4.97
8	3.99	4.01
9.5	9.2	9.5
-9.9	-9.9	-9.86

En las siguientes figuras vemos los voltajes de los polímetros para dos de estas pruebas:



Figura 67. Voltajes a la salida de sendos DAC



Figura 68. Voltajes a la salida de sendos DAC

Podemos ver que los resultados obtenidos son bastante buenos dado que, en todos los casos excepto uno, el valor obtenido es muy cercano al teórico. En todos los casos hay una pequeña diferencia pero podemos observar que en cada uno de los polímetros tiene la misma tendencia. Se comprobó que el motivo de esta variación alrededor del voltaje obtenido dependía del polímetro que se usara, de manera que se llegó a la conclusión de que este error es un error de offset de cada uno de los polímetros y no de la fuente diseñada.

En cuanto a la estabilidad se comprobó que a pesar del paso de las horas, el voltaje en los polímetros nunca varió, se mantuvo en el mismo valor, satisfaciendo el requisito de estabilidad en tiempo indicado al principio de este documento.

Por último, debemos notar que hay un resultado incorrecto. A pesar de que teóricamente debería salir 4V en ambas salidas se ha obtenido un valor alrededor de 8V. Esto se observó en algunos casos y se llegó a la siguiente conclusión: ambos valores, 4V y 8V requieren a su entrada una palabra de 20 bits muy parecida. Como sabemos, en binario realizar un desplazamiento de un bit hacia la derecha equivale a dividir por 2. Por lo tanto, se llegó a la conclusión de que, en ciertos casos, el DAC no leía a tiempo alguno de los bits y saltaba uno de ellos, resultando una salida diferente. Además, si coincidía con que no había 1s anteriormente en esa palabra, la salida resultaba ser, casualmente, justo la mitad de la teórica.

En cualquier caso, no es necesario en este caso que la obtención del voltaje sea rápida y podemos permitirnos tener que realizar dos ejecuciones del programa hasta obtener la salida deseada. Lo importante en nuestro caso es que, una vez establecido el voltaje a la entrada de los filtros, este voltaje se mantenga invariable dando lugar a un ajuste muy concreto de la longitud de onda que se obtiene a la salida de sendos filtros Fabry-Perot.

Por lo tanto, podemos concluir de esta etapa de verificación, que el voltaje obtenido en cada una de las salidas cumple los requisitos de resolución, precisión y estabilidad que habíamos establecido como objetivo al principio de este documento, siempre teniendo en cuenta que al usar el polímetro para medir la salida su resolución será la mínima resolución que podremos medir. El siguiente paso es probar la referencia directamente con los filtros Fabry-Perot y comprobar si son estabilizados como se espera. Estas pruebas se realizarán a continuación en la llamada validación.

5.2 VALIDACIÓN

En esta segunda parte de pruebas y resultados se comprobará que la longitud de onda a la salida de los filtros varía mucho menos utilizando el dispositivo implementado en lugar de una fuente de alimentación de las disponibles en el laboratorio y que este dispositivo cumple los requisitos indicados en el apartado 1.2. En las siguientes pruebas compararemos el comportamiento de los filtros usando dos fuentes Agilent E3631A y posteriormente realizaremos la misma prueba con ambos canales de nuestra fuente de tensión.

En las siguientes imágenes podremos observar cómo ha variado la longitud de onda máxima con el paso del tiempo. La línea roja que se observa en cada una de estas figuras indica la

variación del punto de máxima potencia en el tiempo, que por tanto, será el punto en el que el filtro tiene su longitud de onda central.

El eje x se corresponde con el tiempo que en este caso está en segundos. En las medidas realizadas se ha tomado una muestra cada 60 segundos. Por otro lado, el eje y muestra la longitud de onda central en nanómetros. Finalmente, la barra de color situada a la derecha muestra el valor de potencia medido por el analizador de espectros óptico para cada instante y cada longitud de onda.

5.2.1 Primera fuente Agilent E3631A

Esta prueba se tomó ajustando el filtro con el voltaje procedente de una de las dos fuentes Agilent utilizadas en este proyecto. En la figura observamos que la longitud de onda ha variado aproximadamente 7nm en 300 muestras (18000 segundos). Hacia ese punto, se salió del rango de medida del analizador de espectros óptico, de manera que no se pudo seguir viendo la tendencia de este filtro.

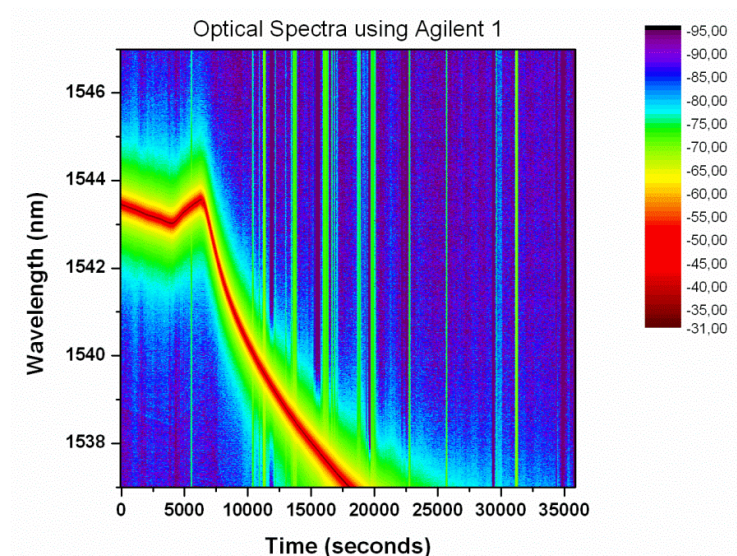


Figura 69. Espectro óptico para la fuente de Agilent.

También se observa que, alrededor del minuto 100 hay un pico en la gráfica. Esto se debe a la dependencia de estos filtros con la temperatura dado que justo en ese momento la

temperatura alrededor del filtro varió con la misma tendencia. La relación, inversamente proporcional, de la longitud de onda con la temperatura se muestra en la siguiente imagen. Las muestras de longitud de onda en la mitad derecha de la gráfica no son correctas dado que la longitud de onda central se salió del rango de medida establecido.

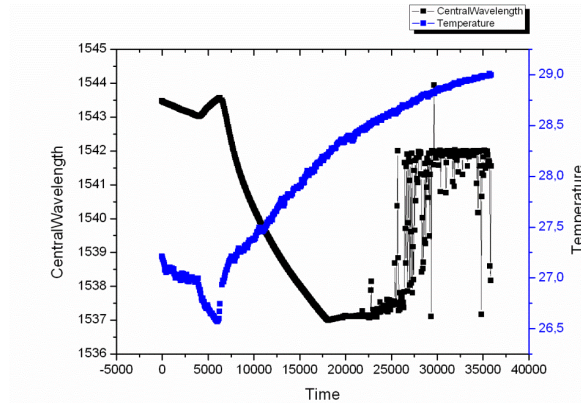


Figura 70. Dependencia de la longitud de onda con la temperatura

5.2.2 Segunda fuente Agilent E3631A

Esta prueba se tomó ajustando el filtro con el voltaje procedente de la segunda fuente Agilent utilizada en este proyecto. El resultado debería ser similar al obtenido en el apartado anterior, dado que son dos equipos iguales. En la figura observamos que la longitud de onda ha variado aproximadamente 1nm en 60 muestras (3600 segundos), que es un valor parecido al del caso anterior.

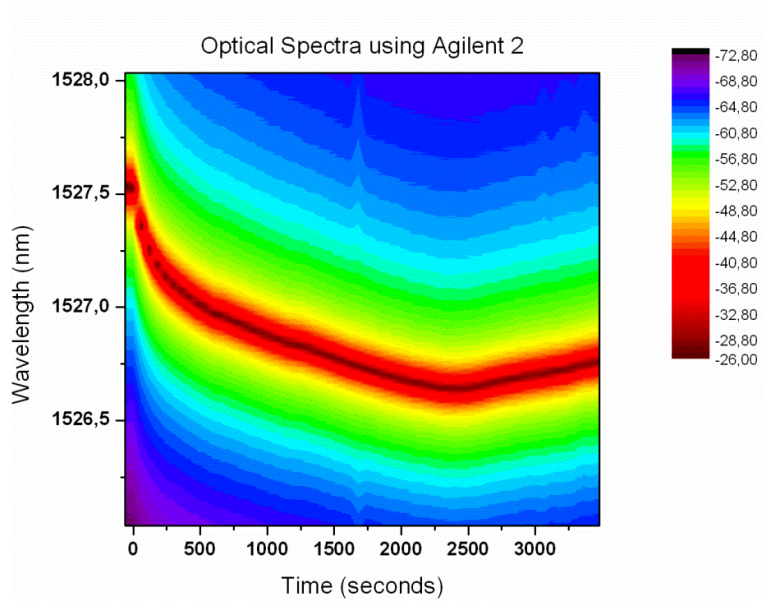


Figura 71. Espectro óptico para la segunda fuente de Agilent.

5.2.3 Primer canal de la fuente implementada

En este caso, se ha ajustado el filtro con el voltaje procedente del primer canal de la fuente de tensión implementada. En la figura observamos que la longitud de onda ha variado apenas 0.2nm en el total de 60 muestras (3600 segundos).

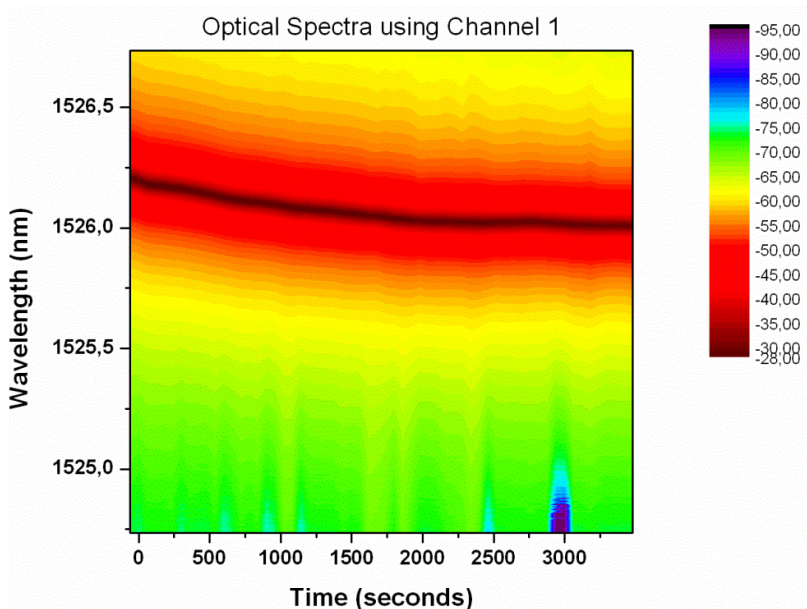


Figura 72. Espectro óptico resultante usando el primer canal de la fuente implementada.

Por lo tanto, estamos comprobando que el comportamiento de la longitud de onda mejora significativamente al alimentar los filtros con la fuente de tensión descrita a lo largo de este documento. Comprobaremos que este comportamiento también se cumple con la segunda salida de la fuente y en caso afirmativo, podremos concluir que el dispositivo implementado cumple la función para la cual fue diseñado.

5.2.4 Segundo canal de la fuente implementada

En este caso, se ha ajustado el filtro con el voltaje procedente del segundo canal de la fuente de tensión implementada. En la figura observamos que la longitud de onda ha variado apenas 0.2nm en el total de 60 muestras (3600 segundos), resultado prácticamente igual al obtenido en el caso anterior.

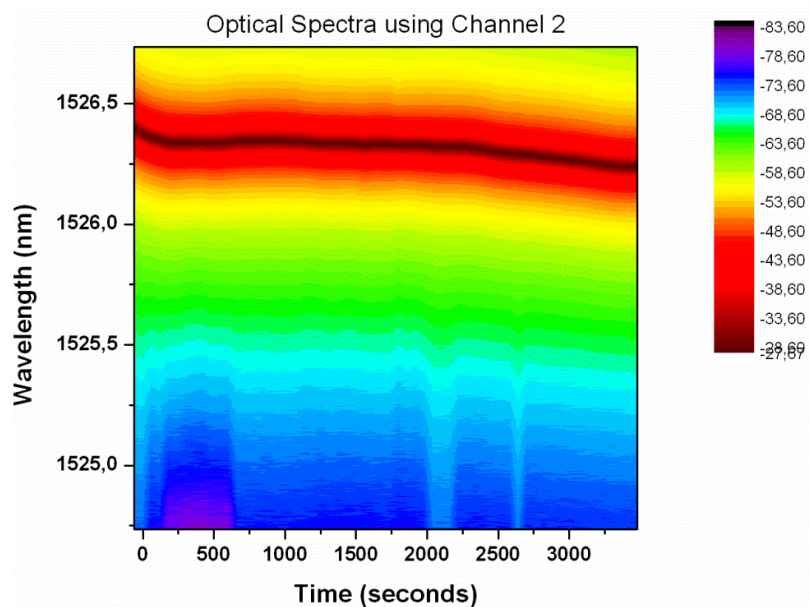


Figura 73. Espectro óptico resultante usando el segundo canal de la fuente implementada.

Como ya habíamos avanzado en las conclusiones del apartado anterior, ambos canales de la fuente diseñada se comportan de manera similar y satisfactoria, permitiendo ajustar los filtros en longitud de onda con suficiente precisión y estabilidad.

5.2.5 Comparativa

Según lo observado en los apartados anteriores podemos recopilar las siguientes variaciones en la longitud de onda central del filtro:

Tabla 8. Variación de la longitud de onda con respecto al número de muestras

Variación de longitud de onda (nm)	Número de muestras (60 segundos por muestra)	Variación (nm/hora)
7	300	1.4
1	60	1
0.2	60	0.2
0.2	60	0.2

En la tabla anterior podemos ver la mejoría obtenida a raíz de usar la referencia implementada en lugar de usar directamente la fuente de alimentación Agilent. Esto es debido a que la tensión que hemos obtenido es mucho mejor en términos de resolución y estabilidad temporal que la tensión que usábamos para este propósito hasta ahora. El mejor resultado de estabilidad obtenido con la fuente Agilent ha sido de 1nm/hora mientras que, con la tensión de nuestra fuente obtenemos resultados de 0.2nm/hora. La variación en tiempo de la longitud de onda es, al menos, cinco veces menor. Además, el requisito que se estableció al inicio del proyecto fue de 0.5nm/hora, por lo tanto el objetivo de estabilidad también ha sido cumplido ampliamente.

Por lo tanto podemos concluir que el resultado de esta fuente de tensión es satisfactorio y que, nos permitirá, de ahora en adelante, ajustar fácilmente los filtros con la calidad necesaria para poder realizar el filtrado de alta sensibilidad para síntesis fotónica de terahercios comentado en el Capítulo 1.

Capítulo 6. Conclusiones y Trabajo Futuro

6.1 CONCLUSIONES

En el desarrollo de este proyecto de investigación hemos diseñado y desarrollado una referencia de tensión doble que cumple una serie de características que permiten una adecuada estabilización de los dispositivos *FFP-TF2 9000-6.3G3000-3.0 061 Fiber Fabry-Perot Tunable Filter*. Entre estas características destaca la estabilidad obtenida de 0.2nm/hora que supera el objetivo inicial. Al mismo tiempo, se ha implementado una interfaz de usuario que permite un fácil manejo del sistema implementado, de manera que el usuario simplemente tiene que ejecutar un programa en una pantalla de ordenador en el que previamente ha indicado los dos valores de tensión que desea para estabilizar sendos filtros.

Todos los requisitos establecidos antes de comenzar el desarrollo del proyecto de investigación han sido cumplidos satisfactoriamente permitiendo trabajar en el corto plazo (horas) con el sistema diseñado para el filtrado de alta sensibilidad para síntesis fotónica de terahercios.

6.2 TRABAJO FUTURO

El próximo objetivo en la línea de investigación en la que se desarrolla este proyecto consistiría en la realización de un lazo de realimentación para estabilizar los filtros con esta referencia y poder trabajar con ellos a largo plazo (días). Hasta ahora este lazo de realimentación no se ha podido realizar dado que la referencia a la entrada de los filtros no era suficientemente estable. De hecho, el fabricante de los filtros sólo provee un sistema de estabilización para filtros con Finesse menor o igual de 700 (recordemos que los filtros que utilizamos en este proyecto tienen una Finesse de 3000) porque para valores mayores es complicado debido a la gran variación de estos.

Capítulo 7. Aspectos de gestión de proyecto

Este proyecto se ha realizado a lo largo de este año 2012, desde Enero hasta Septiembre. Se puede dividir en distintas etapas que son las que ocupan cada uno de los capítulos de este documento:

- 1- Estudio del estado del arte.
- 2- Diseño y fabricación de la parte hardware.
- 3- Implementación de la parte software.
- 4- Resultados. Verificación y validación.

En la siguiente tabla se muestra la lista de tareas en que se pueden desglosar estas etapas, que dan lugar al diagrama de Gantt de la Figura 74:

Tabla 9. Planificación del PFC

Nombre de tarea	Trabajo	Duración	Comienzo	Fin
Proyecto Estefania Prior	0 horas	150 días	lun 16/01/12	vie 10/08/12
Estudio teórico y diseño de la fuente	0 horas	10 días	lun 16/01/12	vie 27/01/12
Diseño de la PCB con Orcad	0 horas	20 días	lun 30/01/12	vie 24/02/12
Fabricación de la PCB en instalaciones externas	0 horas	20 días	lun 27/02/12	vie 23/03/12
Compra de materiales y componentes	0 horas	5 días	lun 27/02/12	vie 02/03/12
Soldadura de la PCB	0 horas	30 días	lun 26/03/12	vie 04/05/12
Implementación de la interfaz digital	0 horas	20 días	lun 07/05/12	vie 01/06/12
Puesta en funcionamiento del sistema completo: PCB + interfaz digital	0 horas	30 días	lun 04/06/12	vie 13/07/12
Validación del sistema	0 horas	10 días	lun 16/07/12	vie 27/07/12
Verificación del sistema con los filtros Fabry-Perot	0 horas	10 días	lun 30/07/12	vie 10/08/12

El diagrama de Gantt correspondiente es el siguiente:

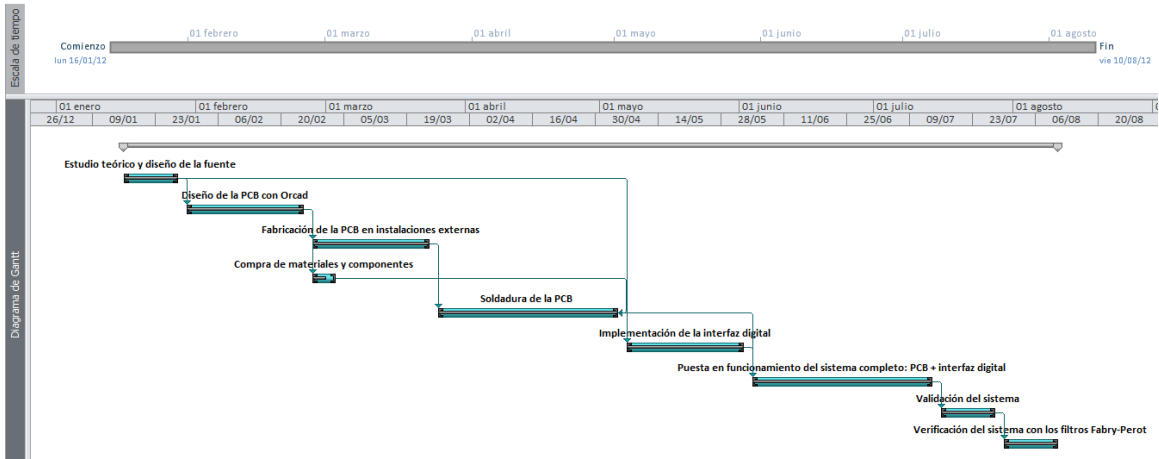


Figura 74. Diagrama de Gantt

Además, el coste total del proyecto asciende a un total de 12.144 Euros como se muestra en el presupuesto situado en la siguiente página.



UNIVERSIDAD CARLOS III DE MADRID
Escuela Politécnica Superior

PRESUPUESTO DE PROYECTO

1.- Autor:

Estefanía Prior Cano

2.- Departamento:

Tecnología Electrónica

3.- Descripción del Proyecto:

- Título: Diseño e implementación de una fuente de tensión configurable, altamente estable y con gran resolución.
- Duración (meses): 9
Tasa de costes indirectos: 20%

4.- Presupuesto total del Proyecto (valores en Euros):

12.373 Euros

5.- Desglose presupuestario (costes directos)

PERSONAL

Apellidos y nombre	N.I.F. (no rellenar - solo a título informativo)	Categoría	Dedicación (hombres mes) ^{a)}	Coste hombre mes	Coste (Euro)
Criado Serrano, Ángel Rubén		Development Supervisor	0,31	4.289,54	1.329,76
Prior Cano, Estefanía		Ingeniero	2,6	2.694,39	7.005,41
					0,00
					0,00
Hombres mes			2,91	Total	8.335,17

^{a)} 1 Hombre mes = 131,25 horas. Máximo anual de dedicación de 12 hombres mes (1575 horas)
Máximo anual para PDI de la Universidad Carlos III de Madrid de 8,8 hombres mes (1.155 horas)

EQUIPOS

Descripción	Coste (Euro)	% Uso dedicado proyecto	Dedicación (meses)	Periodo de depreciación	Coste imputable ^{b)}
Fuente Protek 3033B	4.000,00	100	4	60	266,67
Ordenador de desarrollo	1.000,00	100	4	60	66,67
Fuente Lightwave LDC	16.000,00	50	1	60	133,33
Filtro FFP-TF2 9000-6-3G3000-3-0 06	3.500,00	50	1	60	29,17
Total					495,83

^{b)} Fórmula de cálculo de la Amortización:

$$\frac{A}{B} \times C \times D$$

A = nº de meses desde la fecha de facturación en que el equipo es utilizado
B = periodo de depreciación (60 meses)
C = coste del equipo (sin IVA)
D = % del uso que se dedica al proyecto (habitualmente 100%)

SUBCONTRATACIÓN DE TAREAS

Descripción	Empresa	Coste imputable
Fabricación de PCB	PCB-Pool	1.000,00
Total		1.000,00

OTROS COSTES DIRECTOS DEL PROYECTO^{c)}

Descripción	Empresa	Costes imputable
Fungible (componentes)	Farnell	480,00
Total		480,00

^{c)} Este capítulo de gastos incluye todos los gastos no contemplados en los conceptos anteriores, por ejemplo: fungible, viajes y dietas, otros,...

6.- Resumen de costes

Presupuesto Costes Totales	Presupuesto Costes Totales
Personal	8.335
Amortización	496
Subcontratación de tareas	1.000
Costes de funcionamiento	480
Costes indirectos	2.062
Total	12.373

Capítulo 8. Acrónimos

DAC	Digital-Analog converter
PFC	Proyecto Fin de Carrera
PCB	Printed Circuit Board
SPI	Serial Protocol Interface
NI	National Instruments
INL	Integral non-linearity
DNL	Differential non-linearity
CMRR	Common-mode rejection ratio
LSB	Least significant bit
MSB	Most significant bit
NEP	Noise Equivalent Power

Capítulo 9. Referencias

- [1] T. M. Saleh B.E.A., Fundamentals of Photonics, New Jersey: John Wiley & Sons, Inc., 2007.
- [2] I. Micron Optics, «Widely Tunable Fiber Fabry-Perot Filter | FFP-TF2 9000,» 2008. [En línea]. Available: <http://www.micronoptics.com/uploads/library/documents/Datasheets/FILTERS%20-%20FFP-TF2%209000%20-%200810.1.pdf>. [Último acceso: 13 Julio 2012].
- [3] R. B. Northrop, Introduction to Instrumentation and Measurements, CRC Press, 1997.
- [4] N. Kularatna, Modern Component Families and Circuit Block Design, Waikato: Elsevier Inc, 2000, pp. 1-149.
- [5] I. The Institute of Electrical and Electronics Engineers, «IEEE Std 1658™-2011,» 10 Febrero 2012. [En línea]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6152113&tag=1>. [Último acceso: 13 Julio 2012].
- [6] D. Johns y K. W. Martin, Analog integrated circuit design, John Wiley & Sons, 1997.
- [7] I. Analog Devices, «MT-015 Tutorial,» Octubre 08. [En línea]. Available: <http://www.analog.com/static/imported-files/tutorials/MT-015.pdf>. [Último acceso: 13 Julio 2012].
- [8] I. Analog Devices, «AD5791. 1 ppm 20-Bit, ±1 LSB INL, Voltage Output DAC,» 2012-2011. [En línea]. Available: http://www.analog.com/static/imported-files/data_sheets/AD5791.pdf. [Último acceso: 13 Julio 2012].
- [9] I. Analog Devices, «MT-087 Tutorial. Voltage References,» 2009. [En línea]. Available:

- <http://www.analog.com/static/imported-files/tutorials/MT-087.pdf> . [Último acceso: 13 Julio 2012].
- [10] I. Semiconductors Components, «BZX84BxxxLT1G Zener Voltage Regulators,» Enero 2012. [En línea]. Available: http://www.onsemi.com/pub_link/Collateral/BZX84C2V4LT1-D.PDF. [Último acceso: 13 Julio 2012].
- [11] B. Whelan, «Linear Technology Magazine. How to Choose a Voltage Reference.,» Marzo 2009. [En línea]. Available: <http://cds.linear.com/docs/LT%20Journal/LTMag-V19N1-03-References-BrendanWhelan.pdf>. [Último acceso: 03 Septiembre 2012].
- [12] C. Linear Technology, «LTC6655. 0.25ppm Noise, Low Drift Precision Buffered Reference Family,» 2009. [En línea]. Available: <http://cds.linear.com/docs/Datasheet/6655fa.pdf>. [Último acceso: 13 Julio 2012].
- [13] C. National Instruments, «What is LabVIEW?,» 2012. [En línea]. Available: <http://www.ni.com/labview/whatis/esa/>. [Último acceso: 13 07 2012].
- [14] C. National Instruments, «How Can I Use LabVIEW?,» 2012. [En línea]. Available: <http://www.ni.com/labview/applications/>. [Último acceso: 13 07 2012].
- [15] C. National Instruments, «NI myDAQ. Especificaciones y características del producto,» 2012. [En línea]. Available: <http://www.ni.com/mydaq/esa/specifications.htm>. [Último acceso: 13 07 2012].
- [16] C. National Semiconductor, «LM117/LM317A/LM317 3-Terminal Adjustable Regulator,» 25 Febrero 2011. [En línea]. Available: <https://www.national.com/ds/LM/LM117.pdf>. [Último acceso: 13 Julio 2012].
- [17] I. Texas Instrument, «LM78LXX Series. 3-Terminal Positive Regulators,» 15 Enero 2012. [En línea]. Available: <http://www.ti.com/lit/ds/symlink/lm78l05.pdf>. [Último acceso: 13 Julio 2012].
- [18] I. Analog Devices, «AD8675. 36 V Precision, 2.8 nV/VHz Rail-to-Rail Output Op Amp,» 2011. [En línea]. Available: http://www.analog.com/static/imported-files/data_sheets/AD8675.pdf. [Último acceso: 13 07 2012].
- [19] M. Egan, «The 20-Bit DAC Is the Easiest part of a 1-ppm-accurate precision voltage

source,» Abril 2010. [En línea]. Available:
<http://www.analog.com/library/analogdialogue/archives/44-04/AD5791.pdf>. [Último
acceso: 29 08 2012].

[20] C. Linear Technology, «Dual $\pm 15\text{V}$ Zero-Drift Operational Amplifier,» [En línea].
Available: <http://cds.linear.com/docs/Datasheet/1151fa.pdf>. [Último acceso: 29 08
2012].

[21] I. Analog Devices, «Training & Tutorials. PCB Design Issues,» [En línea]. Available:
[http://www.analog.com/library/analogdialogue/archives/43-
09/EDch%2012%20pc%20issues.pdf](http://www.analog.com/library/analogdialogue/archives/43-09/EDch%2012%20pc%20issues.pdf). [Último acceso: 03 Septiembre 2012].

